

Лабораторна робота № 28

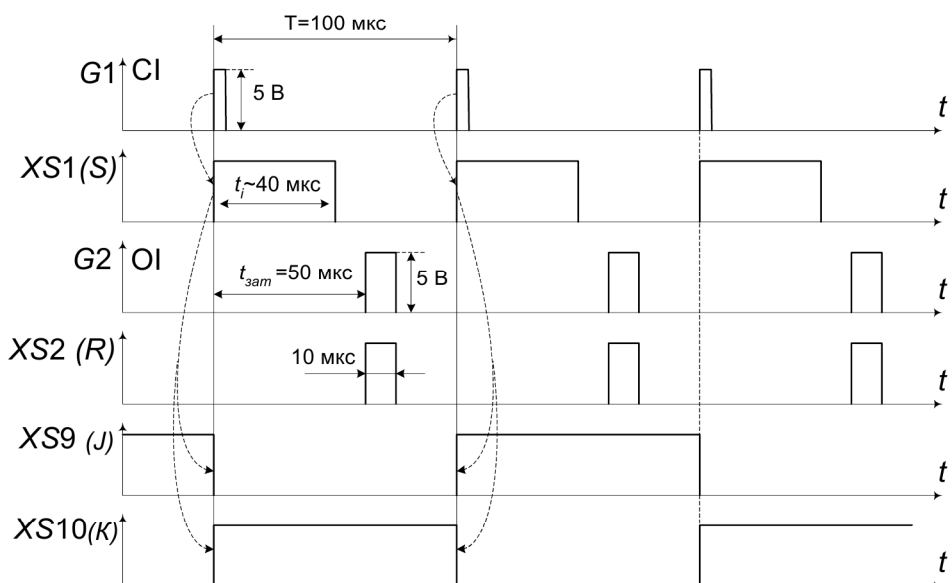
ТРИГЕРИ

Мета роботи - ознайомитися з принципом побудови та логікою роботи тригерів на інтегральних логічних елементах; визначити їх основні параметри.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем ТГ, генератор прямокутних імпульсів Г5-54 і осцилограф СІ-55.

Досліджувані схеми *RS*-, *S*- і *D*- тригерів побудовані на мікросхемах *DD3*, *DD4*, *JK*- тригери - на мікросхемах *DD5... DD8* (рис. 28.1). *RS*-, *S*- і *JK*- тригери підключаються до джерела живлення перемикачами *S1*, *S2*, а *JK*- тригери - перемикачем *S9*. Мікросхеми *DD1*, *DD2*, *DD9* формують з імпульсів, які надходять від генератора Г5-54 на роз'єми *G1* й *G2*, синхроімпульси (*CI*) і основні імпульси (*OI*), керуючі сигнали виду *XS1 (S)*, *XS2 (R)*, *XS9 (J)*, *XS10 (K)*:



Робоче завдання

1. Вказівка. Встановити на генераторі Г5-54 частоту імпульсів $f=10$ кГц: основний імпульс (*OI*) позитивної полярності з амплітудою не більше 5 В і тривалістю $t_i=10 \text{ мкс}$, затриманий на $t_{зам}=50 \text{ мкс}$ відносно синхроімпульсу (*CI*) позитивної полярності з амплітудою також не більше 5 В . Використати зовнішню синхронізацію осцилографа сигналом *XS10*.

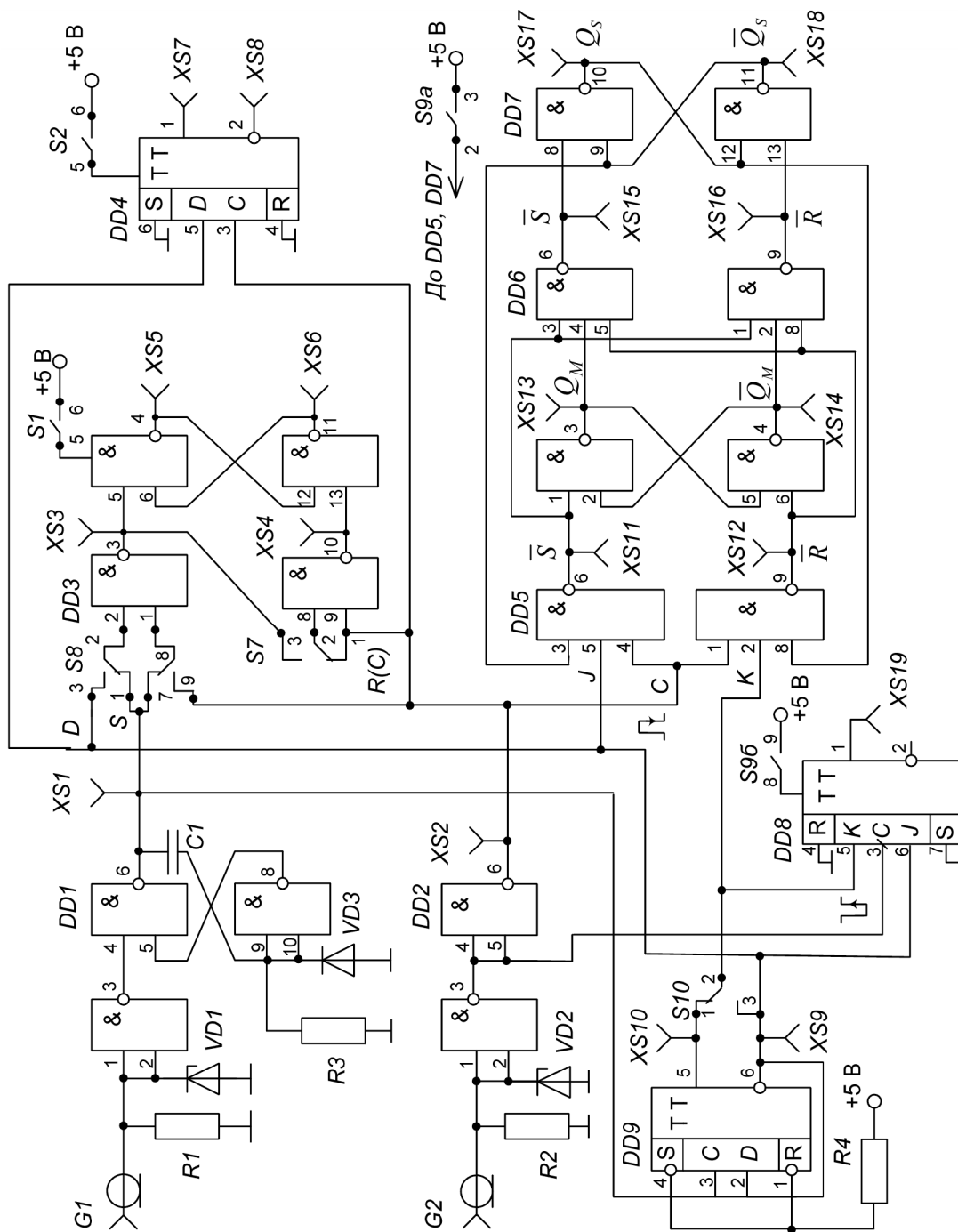


Рис. 28.1.1. Тригери на цифрових інтегральних мікросхемах

2. Дослідити RS- тригер. Зняти й побудувати часові діаграми (гнізда XS1-XS6) роботи RS- тригера при $R(XS2)S(XS1) \neq 1$ і $RS=1$ (для цього затримку основного імпульсу потрібно зменшити так, щоб сигнал $R(XS2)$ увійшов у зону сигналу $S(XS1)$). Визначити час затримки $t_{зат}^{10}$ перемикання тригера зі стану "1" в "0".

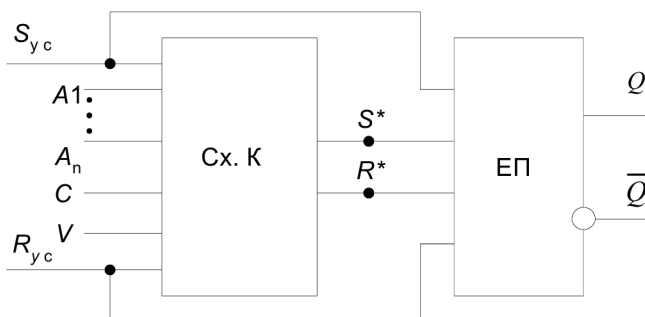
3. Дослідити S- тригер (S7- нажати) при $R(XS2) S(XS1)=1$.

4. Дослідити D- тригер (S7, S8, S2 – нажати), зібраний на логічних елементах DD3 і на мікросхемі DD4. Зняти й побудувати часові діаграми (гніздо XS9 - сигнал D; XS2 - сигнал C, XS3÷XS8). Визначити $t_{зат}^{10}$ і $t_{зат}^{01}$.

5. Дослідити JK- тригер (S9 – нажати), зібраний на логічних елементах DD5,..., DD7 і на мікросхемі DD8. Зняти й побудувати часові діаграми (гнізда XS2 - сигнал C, XS9 - сигнал J, XS10 - сигнал K, XS11,..., XS19) в разі $JK \neq 1$ і $JK=1$ (S10- нажати тільки для JK- тригера на DD8). Визначити $t_{зат}^{10}$ і $t_{зат}^{01}$.

Контрольні питання

1. Дати визначення тригера, призначення входів і виходів.
2. Класифікація логічних структур тригерних схем.
3. Пояснити роботу асинхронного RS- тригера на логічних схемах І-НЕ.
4. Яка відмінність RS-тригера з прямими входами від RS-тригера з інверсними входами.
5. Пояснити роботу S- тригера і його відмінність від RS- тригера.
6. Пояснити роботу D- тригера на логічних схемах І-НЕ.
7. Пояснити роботу асинхронного JK- тригера та його відмінність від RS- тригера.
8. Пояснити роботу синхронного двоступеневого JK- тригера.



Методичні вказівки

Тригер - це послідовісний пристрій (ПП) з двома стійкими станами, що містить елемент пам'яті (власне тригер) ЕП і схему

керування Сх.К, у якого вихідні сигнали залежать не тільки від вхідних сигналів, прикладених у даний момент часу, але й від попереднього його стану. Тригерний пристрій має інформаційні

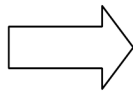
$A_1 \dots A_n$ входи, синхронізуючий (тактовий) вхід C , дозволяючий вхід V , установлювальні входи S_{yc} , R_{yc} , інформаційні входи ЕП S^* і R^* , два взаємно інверсні виходи Q і \bar{Q} .

Стан тригера, у якому напруга на виході Q висока U_a^1 , позначимо "1", а стан тригера, у якого напруга на виході Q низька U_a^0 , - "0". При надходженні інформаційного сигналу на вхід S^* (*Set* - встановлювати) тригер установлюється в стан "1" (тобто $Q=1$, $\bar{Q}=0$). При надходженні інформаційного сигналу на вхід R^* (*Reset*- відновлювати) тригер установлюється в стан "0" (тобто $Q=0$, $\bar{Q}=1$).

За способом функціонування розрізняють наступні типи тригерів: *RS*; *S*; *R*; *D*; *E*; *JK*. За способом запису інформації тригери поділяються на асинхронні і синхронні (тактовні). В асинхронних тригерах запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід, а у синхронних - при подачі дозволяючого (тактового, синхронізуючого) імпульсу на C вхід за рівнем чи за фронтом 1/0 (0/1). Тригери, синхронізуючі рівнем, можуть змінювати свій стан протягом тривалості синхроімпульсу (рівня синхросигналу) при надходженні відповідних інформаційних сигналів $A_1 \dots A_n$, тобто, можуть перемикатися кілька разів за час дії одного синхроімпульсу. Під час паузи між синхроімпульсами стан такого тригера зберігається при будь-яких змінах керуючих сигналів. Тригери, синхронізовані фронтом, змінюють свій стан при надходженні на синхронізуючий вхід відповідного фронту 1/0 (0/1) синхроімпульсу, а при наступній дії рівня синхроімпульсу цей стан зберігається при будь-яких змінах керуючих сигналів $A_1 \dots A_n$. За час дії одного синхроімпульсу тригер, синхронізований фронтом, може перемикатися тільки один раз.

Таблиця 28.1, а

| t_n | | | t_{n+1} |
|-------|-------|-------|-----------|
| R_n | S_n | Q_n | Q_{n+1} |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | * |
| 1 | 1 | 1 | * |



Таблиця 28.1, б

| t_n | | t_{n+1} |
|-------|-------|-----------|
| R_n | S_n | Q_{n+1} |
| 0 | 0 | Q_n |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | * |

Умовні літерні позначення тригерів: *JK*-типу - ТВ; *RS*-типу - ТР; *D*-типу - ТМ; *T*-типу - ТТ.

Тригери *RS*-типу.
RS-тригером називають ПП з двома стійкими станами, що мають два інформаційних входи S і R такі, що в разі $S = 1$ а $R = 0$,

тригер приймає стан "1" ($Q=1$), а в разі $R=1$ а $S=0$ - стан "0" ($Q=0$). Закон функціонування тригера RS - типу можна описати повною таблицею переходів 28.1,а, або спрощеною таблицею 28.1, б.

Як видно з табл. 28.1, а, при одночасному надходженні на входи R і S логічної "1" тригер приймає невизначений стан (*), тому комбінація сигналів $RS=1$ для RS - тригера є забороненою.

Логічне рівняння RS - тригера має вигляд

$$Q_{n+1} = S_{n+1} + \bar{R}_{n+1} \cdot Q_n.$$

Це рівняння можна реалізувати на елементах АБО-НЕ чи І-НЕ, для чого його необхідно перетворити у відповідний базис, використовуючи аксіому подвійного заперечення і теорему де-Моргана:

$$\bar{Q}_{n+1} = \overline{S_{n+1} + \bar{R}_{n+1} \cdot Q_n} = \overline{S_{n+1}} \cdot \overline{\bar{R}_{n+1} \cdot Q_n};$$

$$Q_{n+1} = \overline{\overline{S_{n+1}} \cdot \overline{\bar{R}_{n+1} \cdot Q_n}} = \overline{\bar{S}_{n+1} \cdot \bar{R}_{n+1} \cdot Q_n}.$$

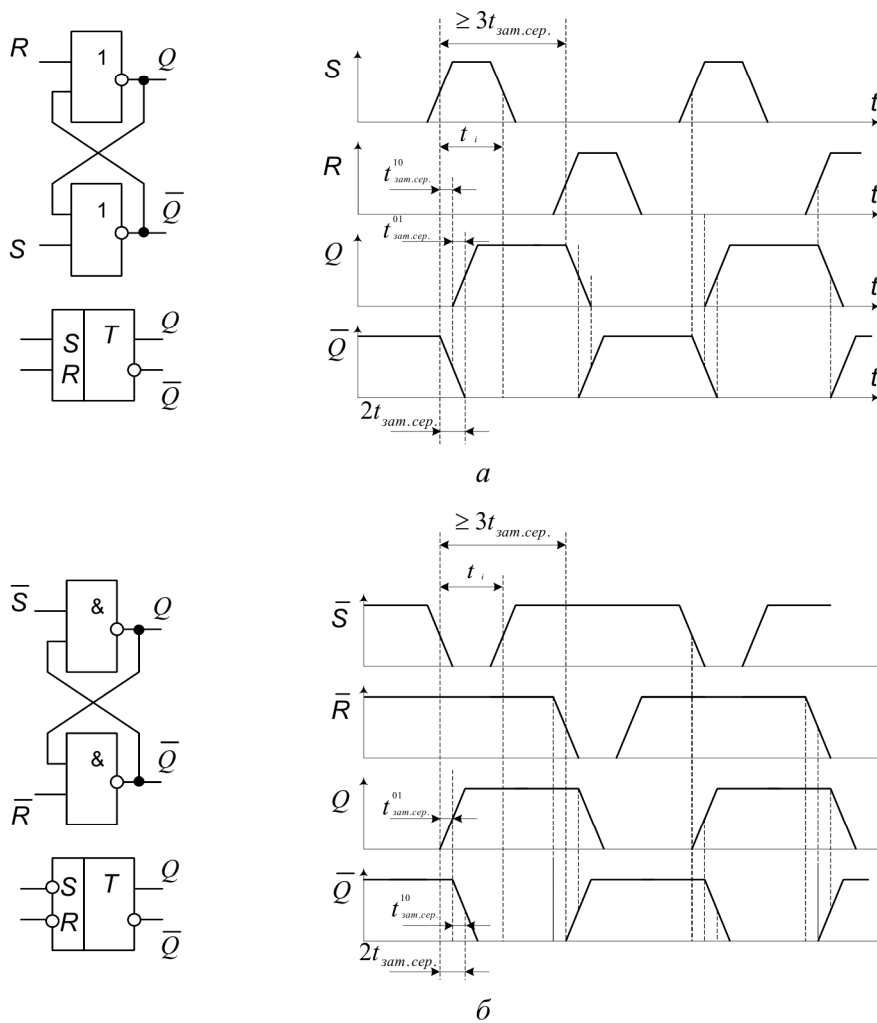


Рис. 28.2

Схеми асинхронних RS - тригерів на логічних елементах АБО-НЕ і І-НЕ, їх умовні зображення та часові діаграми приведені на рис. 28.2, а, б.

Для RS - тригера на ЛЕ І-НЕ є забороненою комбінація $\bar{R} + \bar{S} = 0$.

Для сталого функціонування тригера довжина сигналів t_i на входах R і S повинна бути більшою ніж загальна затримка перемикання ЛЕ обох пліч тригера, тобто

$$t_i > 2t_{\text{зат.сер.}} + t_{\text{зат.сер.}}^{10} + t_{\text{зат.сер.}}^{01}$$

Максимальна робоча частота перемикання ($f_{\text{макс}} = 1/3t_{\text{зат.сер.}}$) визначається мінімально допустимим часовим інтервалом між послідовними вхідними сигналами мінімальної довжини (якщо $t_i > 2t_{\text{зат.сер.}}$), які надходять по чергово на входи R і S тригера.

RS - тригери є базовими елементами більш складних тригерних пристроїв.

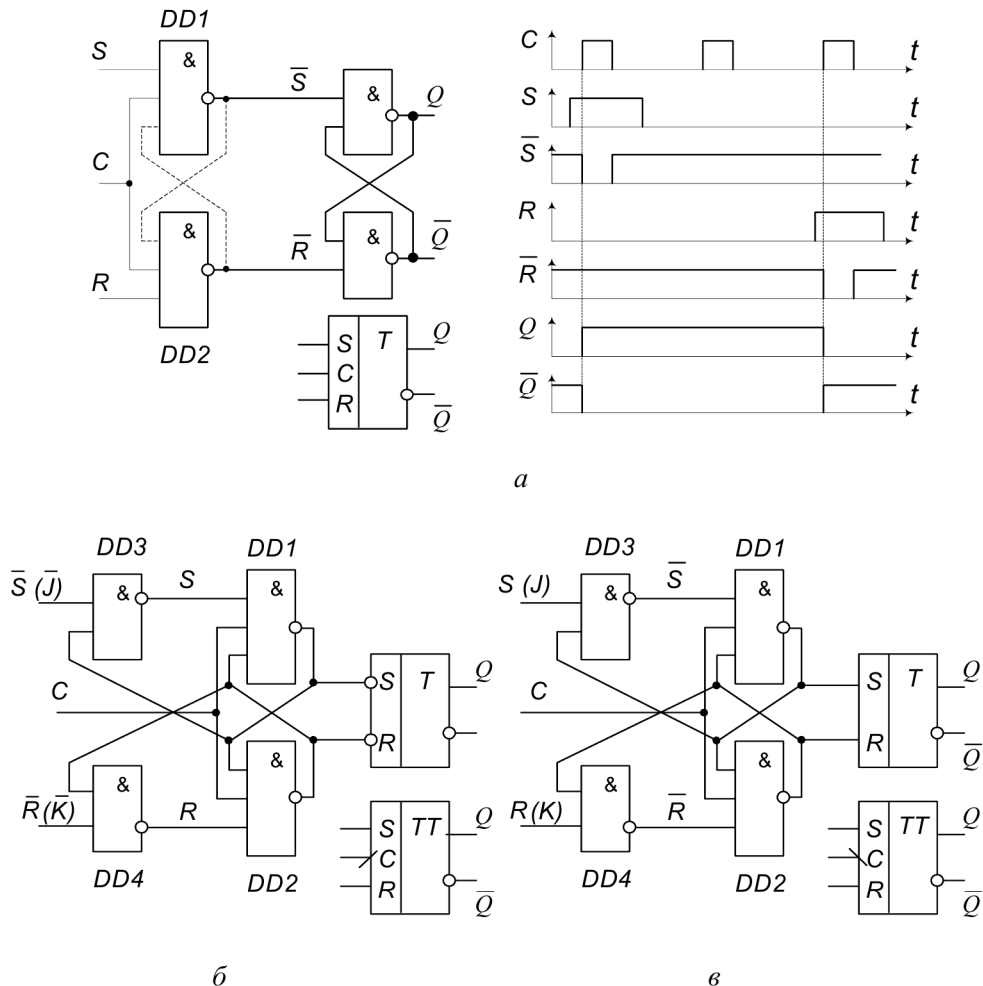


Рис. 28.3

Синхронні RS –тригери, які синхронізуються рівнем (рис. 28.3, а), мають на вході кожного плеча додаткові схеми збігу, одні входи яких об'єднані і служать входом C для тактових (синхронізуючих) імпульсів $/TI/$, інші входи схем збігу є інформаційними входами запису "1" (S) і "0" (R). Таким чином, інформація, що надходить на вхід S або R , може бути передана на тригер тільки в разі надходженні тактового імпульсу. При комбінації сигналів $SC=1 \rightarrow Q=1$; $RC=1 \rightarrow Q=0$, а комбінація $RSC=1$ - заборонена. Цей недолік можна виключити введенням перехресних зв'язків, зображених на мал. 28.3, а пунктиром, тому що в разі $S=R=C=1$ рівень логічного "0" на виходах $DD1$ і $DD2$ не може з'явитися строго в той самий момент часу. При $C=1$ у будь-який момент часу тригер реагує на рівні, що діють на інформаційних входах S і R .

Для одержання синхронного RS -тригера, синхронізованого фронтом, досить доповнити схему елементами І-НЕ і зв'язками (рис, 28.3, б). В разі, якщо $\bar{S}=0$ а $\bar{R}=1$ і зміненні рівня сигналу на вході C з "0" на "1" на виході елемента $DD1$ утвориться рівень "0". Цей рівень подається на вхід елемента $DD3$, забезпечуючи на його виході рівень "1" незалежно від наступних значень рівня на вході S . Таким чином, відбувається логічне відключення входу \bar{S} , і ніякі наступні зміни рівнів на входах \bar{S} і \bar{R} тригером не сприймаються, поки на вході C не відбудеться новий перехід рівнів з "0" на "1". На мал. 28.3, в зображена схема синхронного RS - тригера на елементах АБО-НЕ, синхронізуючого фронтом з "1" на "0".

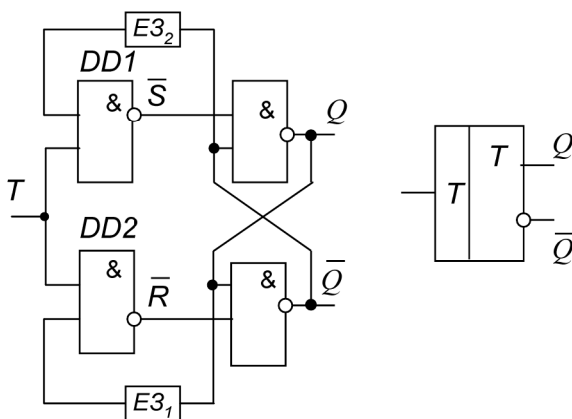


Рис. 28.4

кожного лічильного імпульсу на T вхід. Логіка роботи асинхронного T -тригера подана таблицею переходів (табл. 28.2) і описується логічним рівнянням

$$Q_{n+1} = \bar{T}_n Q_n + T_n \bar{Q}_n .$$

Схема T -тригера на елементах І-НЕ на основі синхронного RS -тригера зображена на рис. 28.4.

Тригери T -типу. T -тригером (лічильним тригером) називають ПП з двома стійкими станами та одним інформаційним T -входом. T - тригер змінює свій стан на протилежний після надходження

Таблиця 28.2

| T_n | Q_n | Q_{n+1} |
|-------|-------|-----------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

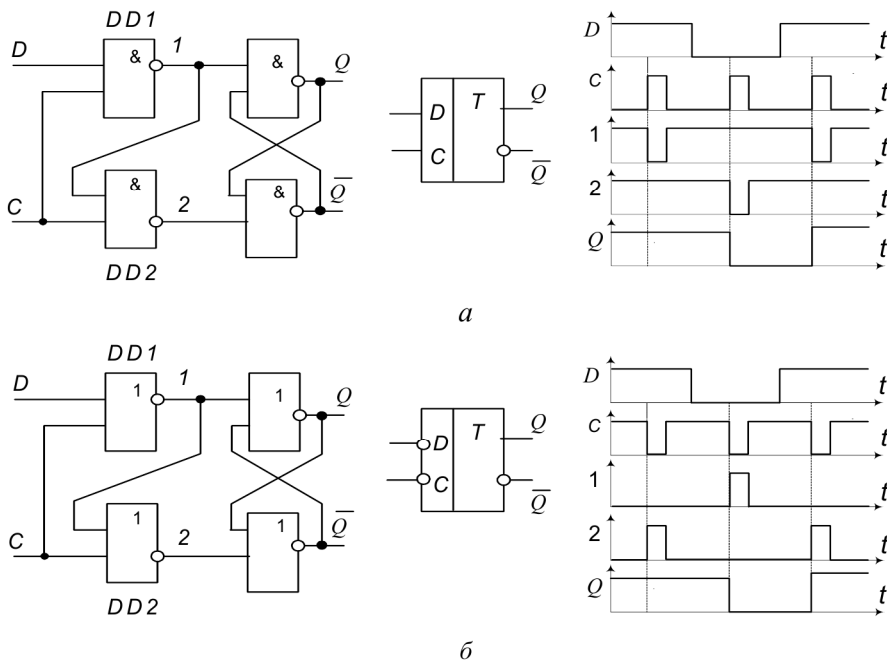
Елементи затримки (ЕЗ), включені в кола зворотних зв'язків між виходами тригерів і їхніми інформаційними входами, забезпечують роботу схем при затримці сигналу t_3 у ЕЗ більше тривалості тактового імпульсу t_i : $t_{31(2)} > t_i > 2t_{зат.сер.}$

Тригер D-типу (тригер затримки) - це ПП з двома стійкими станами, одним інформаційним входом D (*delay* – затримка) і одним тактовим входом C . Схема D-тригера зображена на рис. 28.5, а синхронізується сигналом логічної "1", а схема D-тригера на рис. 28.5, б – сигналом логічного "0". Таблиця переходів D-тригера синхронізованого сигналом логічної «1» приведена в табл. 28.3.

Таблиця 28.3

| C_{n+1} | D_n | Q_n | Q_{n+1} |
|-----------|-------|-------|-----------|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 |

Стан прямого виходу Q повторює стан входу D після надходження



тактового імпульсу, тобто в наступному такті.

Тригери JK-типу. JK-тригер має два інформаційні входи J і K та вхід синхронізації C . Якщо $J \cdot K = 1$, то тактовий імпульс

Рис. 28.5

здійснює інверсію попереднього стану (тобто, при $J \cdot K = 1$, $Q_{n+1} = \overline{Q_n}$), а в інших випадках функціонує як RS-тригер, при цьому вхід J еквівалентний входу S , а вхід K - входу R . Логічне рівняння JK-тригера має вигляд $Q_{n+1} = \overline{K_n} Q_n + J_n \overline{Q_n}$. Найпростіший

Таблиця 28.4

| C | J_n | K_n | Q_{n+1} |
|-----|-------|-------|------------------|
| 0 | * | * | Q_n |
| 1 | 0 | 0 | Q_n |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | $\overline{Q_n}$ |

варіант JK-тригера зображений на рис. 28.6, а; реалізація JK-тригера на елементах І та І-НЕ - на рис. 28.6, б. При

надходженні на вхід J або K сигналу логічної "1" тригер через відповідну схему збігів устанавлюється в одиничний, якщо $J=1$, чи нульовий, якщо $K=1$, стан.

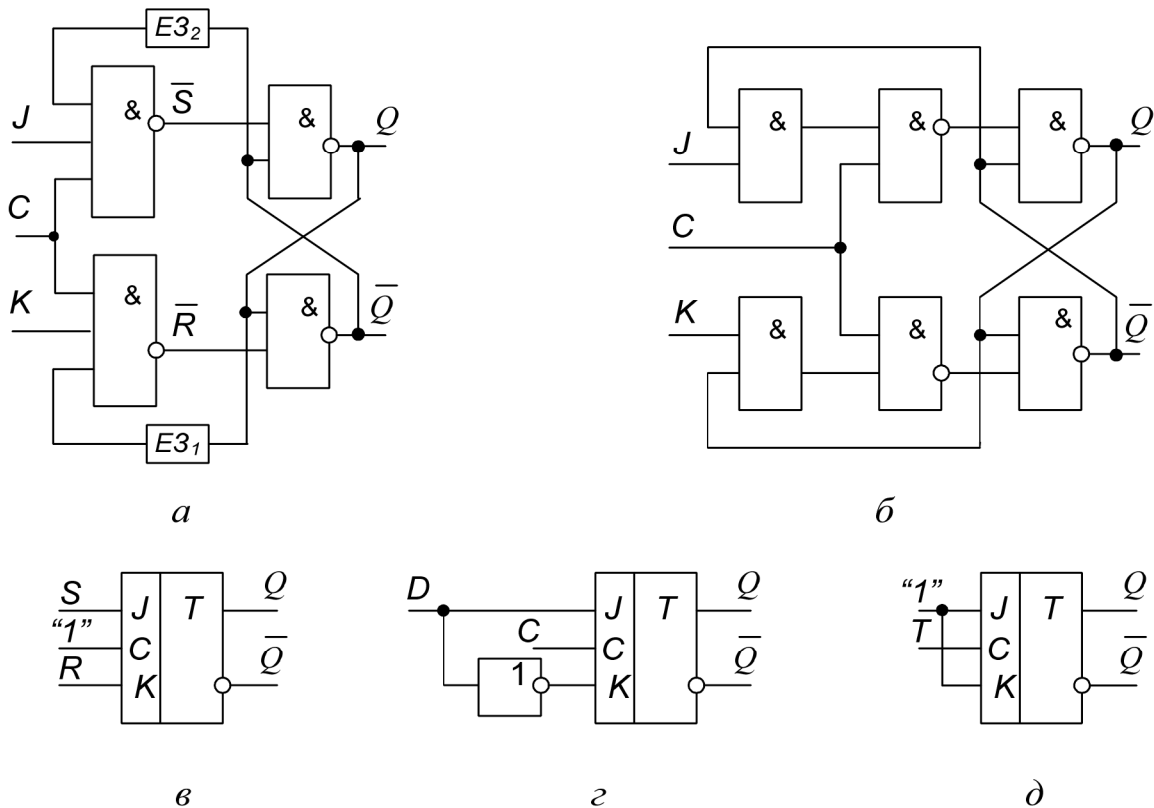


Рис. 28.6

В разі $JK=1$ тригер завжди переходить у протилежний стан: $Q_{n+1} = \overline{Q}_n$, тобто в даному випадку принцип роботи JK -тригера аналогічний роботі тригера T -типу (див. рис. 28.4). Тригер JK -типу відноситься до розряду універсальних тригерів, оскільки він може функціонувати як RS -, D - і T - тригери (рис. 28.6, в-д). На рис. 28.3, б зображена схема синхронного JK - тригера на елементах І-НЕ, синхронізуючого фронтом з "0" на "1", а на рис. 28.3, в - на елементах АБО-НЕ, синхронізуючого фронтом з "1" на "0".

Порядок роботи JK -тригера визначає таблиця станів (табл. 28.4).

В регістрових і лічильних схемах широко використовуються двоступеневі тригерні пристрої (ДТП), як правило, виконані на основі синхронних тригерів RS -, D -, і JK - типів за схемою « M - S ». У відповідності з цим методом ДТП виконуються на двох тригерах – M (*Master* – основний) і S (*Slave* – допоміжний). Основний тригер M приймає інформацію, а допоміжний тригер S фіксує стан ДТП. При

цьому основний і допоміжний тригери можуть бути або однотипними (обидва тригери RS - або D - типу), або різнотипними.

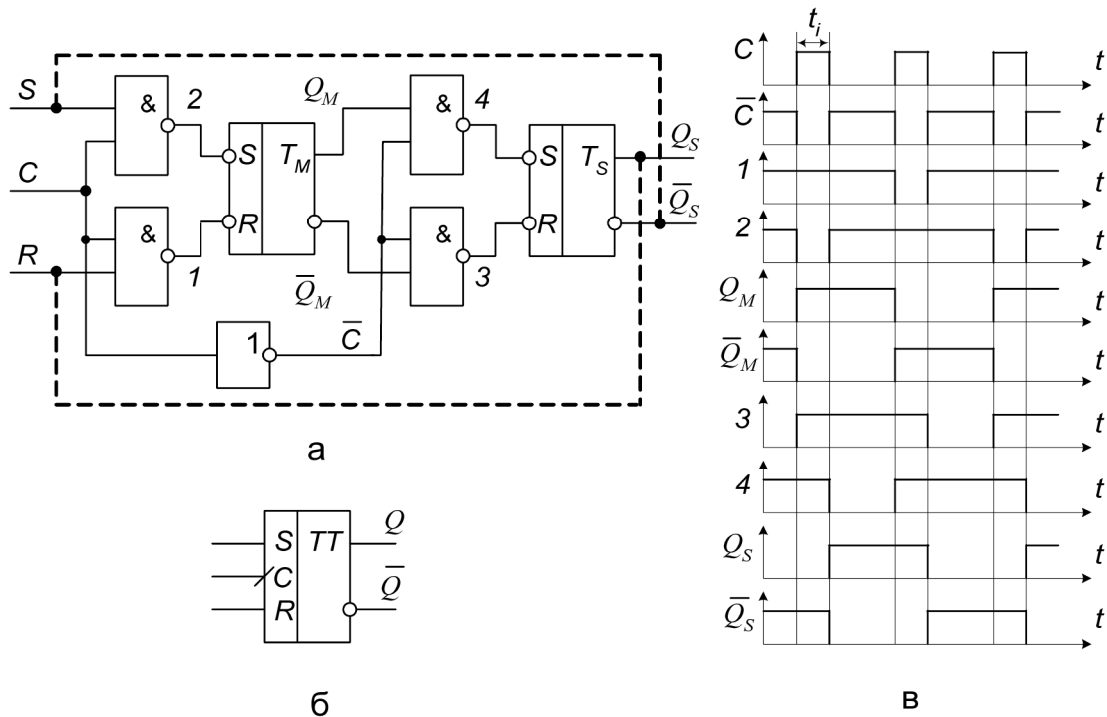


Рис. 28.7

Двоступеневі тригери RS - типу. Один із варіантів схеми ДТП RS - типу, побудованого за схемою « M - S », зображений на рис. 28.7. Особливість цієї схеми є в тому, що в коло між основним T_M - тригером і допоміжним T_S - тригером включається інвертор, який забезпечує однотактний режим ДТП і виконує блокування перезапису інформації в допоміжний тригер під час запису інформації в основний тригер. При цьому RS - тригер синхронізується сигналом C логічної «1». Для запису в тригер «1» ($Q_S=1$) на його входи необхідно подати комбінацію сигналів $S=1$, $R=0$. При надходженні тактового імпульсу $C=1$ (за його переднім фронтом 0/1) основний тригер по входу \bar{S} встановиться у стан «1», а допоміжний тригер залишиться у початковому стані «0» ($Q_S=0$). Після закінчення синхроімпульсу $C=0$ (за його заднім фронтом 1/0) на виході інвертора через проміжок часу $\Delta t=t_{\text{зат.сер.}}$ з'явиться рівень «1» і допоміжний тригер прийме стан основного. Для запису в тригер стану «0» ($Q_S=0$) на його входи необхідно подати комбінацію сигналів $R=1$ і $S=0$. Комбінація сигналів $R=S=C=1$ для двоступеневого RS - тригера є заборонена. Для сталої роботи схеми необхідно, щоб довжина тактового імпульсу була $t_i \geq 3t_{\text{зат.сер.}}$.

Для побудови T - тригера на основі двоступеневого RS - тригера виходи Q_s і \bar{Q}_s підключають відповідно до входів R і S , а на тактовий вхід C подають лічильні імпульси. Робота T - тригера аналогічна роботі двоступеневому RS - тригера, тільки у даному випадку роль інформаційних сигналів виконують сигнали з виходів Q_s і \bar{Q}_s допоміжного тригера. При цьому кожний лічильний імпульс забезпечує переведення основного тригера у стан, протилежний допоміжному, а після закінчення дії імпульсу на вході C допоміжний тригер приймає стан основного. Швидкодія ДТП типів RS і T визначається, в разі $t_i \geq 3t_{зат.сер.}$, значенням $F_p = 1/6t_{зат.сер.}$.

Інший варіант схеми двотактного RS - тригера з забороненими зв'язками на елементах І-НЕ зображений на рис. 28.8. Особливість цієї схеми у тому, що під час дії ТІ одночасно із записом вхідної інформації в основний тригер з його елементів $DD1$ і $DD2$ поступають заборонні сигнали на елементи $DD3$ і $DD4$ допоміжного тригера, який блокує перезапис інформації з основного тригера в допоміжний. Після припинення дії тактового імпульсу ця блокування знімається і відбувається запис стану основного тригера в допоміжний. Схему такого тригера на елементах АБО-НЕ будують аналогічно, але керується вона тактовим імпульсом логічного «0».

Для роботи схеми у режимі T - тригера необхідно подати сигнали з виходів Q_s і \bar{Q}_s на відповідні інформаційні R і S входи. Для

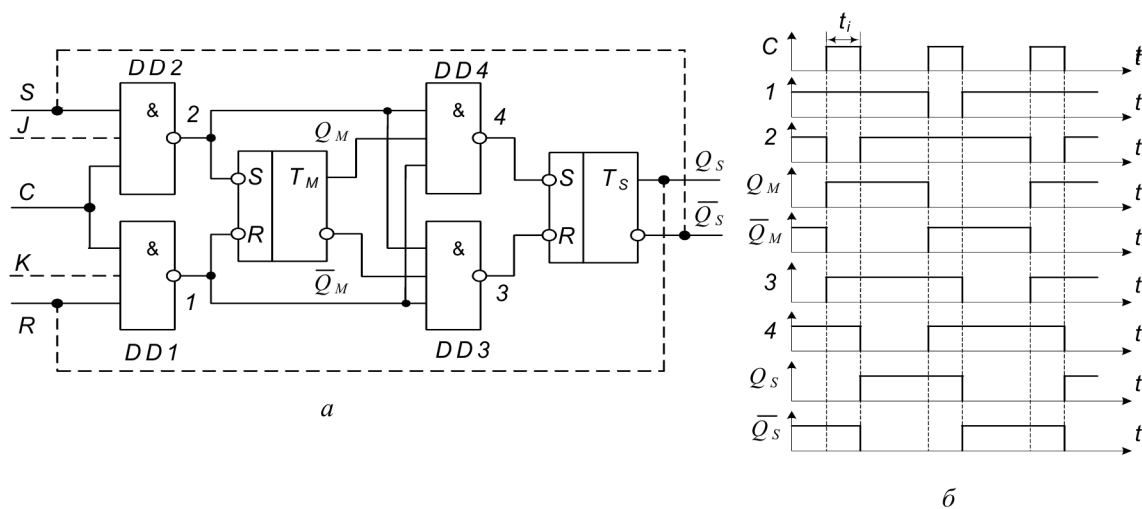


Рис. 28.8

асинхронного встановлення двоступеневих RS - тригерів використовуються входи \bar{S} і \bar{R} основного тригера, керовані рівнями

«0» для схеми на елементах І-НЕ і «1» - для схем на елементах АБО-НЕ.

Двоступеневі JK-тригери. Двоступеневі JK- тригери реалізуються на двоступеневих RS тригерах підключенням Q_s і \bar{Q}_s до виходів R і S відповідно і додаванням двох входів J і K паралельно входам S і R (рис. 28.8). При $C=0$ схема знаходиться в стані Q незалежно від рівнів сигналів на входах J і K, тому що закриті DD1 і DD2. При $J=0, K=C=1$ тригер встановлюється в стан «0», а при $J=C=1$ і $K=0$ – в стан «1». При $J=K=C=1$ (тобто при об'єднанні J і K входів і подачі на них «1») отримаємо схему T- тригера.