

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Національний технічний університет України
“Київський політехнічний інститут”

МЕТОДИЧНІ ВКАЗІВКИ

до виконання лабораторних робіт з дисциплін

ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА, ЕЛЕКТРОНІКА І СИСТЕМОТЕХНІКА

для студентів вищих навчальних закладів усіх форм навчання, що
навчаються за напрямками “Електромеханіка”, “Електротехніка”,
“Оптотехніка”

Розділ "Імпульсні і цифрові пристрої"

2-ге видання, перероблене і доповнене

**Київ
2009**

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

Національний технічний університет України
“Київський політехнічний інститут”

МЕТОДИЧНІ ВКАЗІВКИ

до виконання лабораторних робіт з дисциплін

ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА,
ЕЛЕКТРОНІКА І СИСТЕМОТЕХНІКА

для студентів вищих навчальних закладів усіх форм навчання, що
навчаються за напрямками “Електромеханіка”, “Електротехніка”,
“Оптотехніка”

Розділ “Імпульсні і цифрові пристрої”
2-ге видання, перероблене і доповнене

Гриф НТУУ “КПІ” наданий рішенням Методичної ради університету
протокол № 8 від 23 квітня 2009 р.

Київ
2009

Методичні вказівки до виконання лабораторних робіт з дисципліни “Електроніка та мікросхемотехніка” для студентів вищих навчальних закладів усіх форм навчання, що навчаються за напрямками “Електромеханіка”, “Електротехніка”, “Оптотехніка” та іноземних студентів. 2-ге видання, перероблене і доповнене / Укладачі: А. А. Щерба, В. І. Сенько, К. К. Побєдаш, С. М. Захарченко, В. А. Святненко, К. В. Трубіцин. – К.: ФЕА НТУУ “КПІ”, 2009. – 68 с.

Затверджено на кафедрі теоретичної електротехніки НТУУ “КПІ”

протокол № 7 від 06.03.2009 р.

Рекомендовано Методичною радою НТУУ “КПІ”

протокол № 8 від 23 квітня 2009 р.

Навчальне видання

МЕТОДИЧНІ ВКАЗІВКИ

до виконання лабораторних робіт з дисциплін

ЕЛЕКТРОНІКА ТА МІКРОСХЕМОТЕХНІКА, ЕЛЕКТРОНІКА І СИСТЕМОТЕХНІКА

для студентів вищих навчальних закладів усіх форм навчання, що навчаються за напрямками “Електромеханіка”, “Електротехніка”, “Оптотехніка”

Розділ “Імпульсні і цифрові пристрої”

2-ге видання, перероблене і доповнене

Укладачі: Щерба Анатолій Андрійович, д.т.н., проф.,
Сенько Віталій Іванович, д.т.н., проф.,
Побєдаш Костянтин Каленикович, к.т.н., доц.,
Захарченко Сергій Миколайович, к.т.н., доц.,
Святненко Вадим Анатолійович, ст. викл.,
Трубіцин Костянтин Вікторович, ст. викл.

Відповідальний редактор

А.А. Щерба, д.т.н., проф.

Рецензент:

М.Г. Анпілогов, к.т.н.

За редакцією укладачів

В даних методичних вказівках приведені описи лабораторних робіт з курсів «Електроніка та мікросхемотехніка», «Електроніка і системотехніка», «Промислова електроніка» (розділи Імпульсні пристрої та цифрові пристрої), які викладаються студентам, що навчаються за напрямками «Електромеханіка», «Електротехніка», «Оптотехніка» в НТУУ «КПІ».

Основною метою цих лабораторних робіт є закріплення теоретичних положень та придбання навичок дослідження, визначення параметрів і характеристик основних типів імпульсних та цифрових пристроїв.

У процесі підготовки до лабораторної роботи студент повинен:

- ознайомитись зі змістом лабораторної роботи;
- вивчити відповідні розділи програми і рекомендованої літератури;
- уважно прочитати контрольні запитання і дати усну відповідь на них;
- виконати передбачені описом попередні розрахунки та, якщо необхідно, побудувати графіки;
- підготувати протокол звіту з лабораторної роботи.

Звіт з лабораторної роботи повинен містити:

- сформульовану мету роботи;
- принципову електричну схему досліджуваного пристрою;
- розрахунки, передбачені домашнім завданням;
- таблиці з результатами вимірювань;
- графіки залежностей та осцилограми;
- висновки по роботі.

Усі креслення та текстовий матеріал звіту необхідно виконувати відповідно до вимог ЄСКД.

Лабораторна робота № 21

ЕЛЕКТРОННІ КЛЮЧІ

Електронний ключ (ЕК) – основний функціональний вузол дискретної схемотехніки для переключення струмів або потенціалів на навантаженні. В якості перемикаючих елементів електронних ключів широко використовують напівпровідникові діоди, біполярні та польові транзистори, тиристори і оптронні пари, які працюють в режимі великого сигналу з явно вираженими нелінійними властивостями.

Показники якості електронного ключа – провідність ключа в закритому і відкритому станах, чутливість до керуючого сигналу і завадостійкість, температурна стабільність, потужність, яка віддається на навантаження, і швидкодія.

21.1. Перемикач напруги на біполярному транзисторі

Мета роботи – дослідити статичні та динамічні характеристики електронного ключа на біполярному транзисторі, який ввімкнено за схемою зі спільним емітером (СЕ), і схемних методів покращення його параметрів.

Опис досліджуваної схеми

До складу лабораторної установки входять лабораторний стенд зі змінними модулем ЕК, генератор імпульсів Г5-54 і осцилограф С1-55.

Електронний перемикач напруги зібраний на транзисторі $VT1$ (рис. 21.1), який ввімкнено за схемою із спільним емітером. Перемикач до джерела живлення підключають вимикачем $S1$. При відсутності вхідного імпульсу $U_1 = 0$ транзистор закритий від'ємним зміщенням, яке подається на базу від джерела $-5В$ через діодик $R2-R3-R1$. На колекторі $VT1$ встановлюється високий потенціал $U_2^1 = E_K$. При подачі на вхід позитивного імпульсу, амплітуда якого перевищує порогову напругу ключа, транзистор переходить в активний режим, а потім у режим насичення. На його колекторі встановлюється низький потенціал $U_2^0 = U_{KH} \approx 0$. Перехідні процеси відкривання і закривання транзистора залежать від параметрів вхідного сигналу, параметрів і схемної реалізації ключа. Досліджувана схема дозволяє визначити вплив колекторного опору $R_K = R5$ (або $R_K^1 = R5 \parallel R6$) на статичні і динамічні параметри ключа, ємності навантаження C_H на динамічні параметри, прискорюючого конденсатора $C1$ та нелінійного зворотного зв'язку $VD1$ на характер перехідних процесів у ключі. Для спостереження діаграм зміни в часі струму бази транзистора (в ході спостереження перехідних процесів

перемикання транзистора) в базу $VT1$ ввімкнений низькоомний резистор $R4$, напруга на якому може бути проконтрольована на гніздах $XS2$ і $XS3$ стенда.

Робоче завдання

1. Зняти передавальну характеристику $U_2 = f(U_1)$ та визначити по ній статичні параметри ключа U_{1max}^0 , U_{1min}^1 , U_2^0 , U_2^1 при відключених $VD1$, $C1$ та $R6$, для чого на вхід ключа необхідно подати додатній прямокутний імпульс тривалістю $t_{bx} = 100$ мкс і частотою 1 кГц. Значення U_{1max}^0 відповідає найбільшій амплітуді вхідного сигналу, при якій $VT1$ залишається закритим, а значення U_{1min}^1 - найменшій амплітуді вхідного сигналу, який забезпечує насичення транзистора $VT1$.

2. Повторити п.1:

- а) при підключенні діоду $VD1$;
- б) підключенні конденсатора $C1$;
- в) одночасному підключенні $VD1$ та $C1$;
- г) підключенні $R6$.

Результати вимірювань по пп. 1 і 2 занести в таблицю 1.

3. Визначити перехідну характеристику транзисторного ключа при його вмиканні та вимиканні. На вхід ключа (при відключених $VD1$, $C1$ та $R6$) подати додатній імпульс з амплітудою $U_1^1 = 5$ В, тривалістю $t_{bx} = 10$ мкс та частотою 10 кГц із зовнішньою синхронізацією осцилографа. Зарисувати його з урахуванням масштабів діаграми вхідного і вихідного імпульсів, а також струм бази $VT1$. За діаграмами визначити динамічні параметри ключа t_{zt}^{01} , t_{zt}^{10} , t_{ϕ}^{01} , t_{ϕ}^{10} .

4. Повторити п.3:

- а) при підключенні діода $VD1$;
- б) підключенні конденсатора $C1$;
- в) одночасному підключенні $VD1$ та $C1$;
- г) підключенні C_H ;
- д) підключенні $R6$.

Результати вимірювань по пп. 3 і 4 занести в таблицю 2.

Примітка. Діаграми струму бази і вихідної напруги за пп. 3 і 4 побудувати на спільному графіку, динамічні параметри ключа за пп. 3 і 4 занести в таблицю 2.

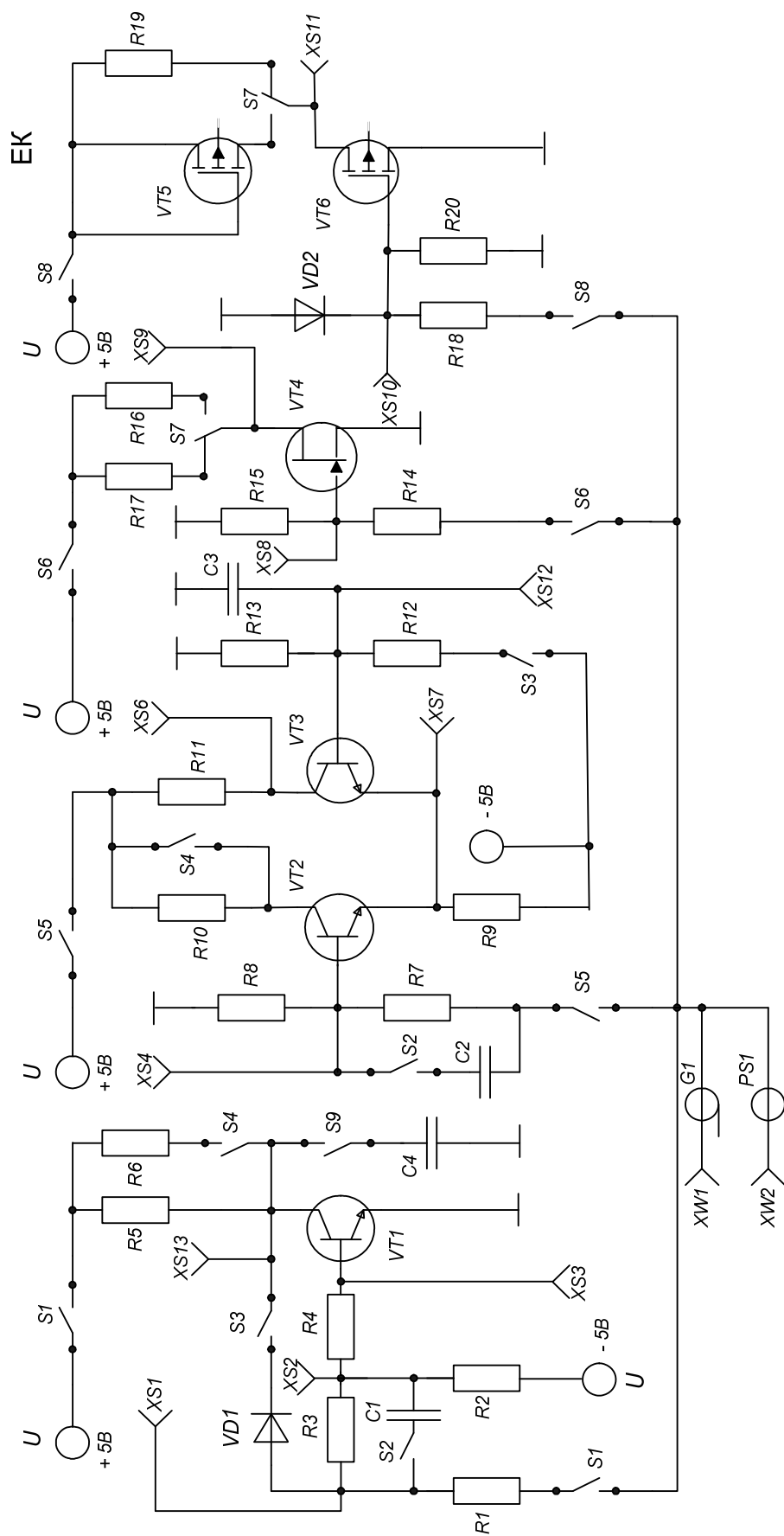


Рис. 21.1

Контрольні запитання.

1. Що таке коефіцієнт насичення і як він залежить від параметрів компонентів досліджуваної схеми?
2. Поясніть вплив прискорюючого конденсатора і нелінійного зворотного зв'язку на перехідні процеси в ключі.
3. Поясніть вплив температури на коефіцієнт насичення транзистора.
4. Поясніть вплив ємності навантаження на динамічні параметри ключа.

Таблиця 1

Без підключень	$U_{1,B}$								
	$U_{2,B}$								
$VD1$	$U_{1,B}$								
	$U_{2,B}$								
$C1$	$U_{1,B}$								
	$U_{2,B}$								
$VD1, C1$	$U_{1,B}$								
	$U_{2,B}$								
$R6$	$U_{1,B}$								
	$U_{2,B}$								

Таблиця 2

	$t_{зТ}^{10}$, мкс	$t_{ф}^{10}$, мкс	$t_{зТ}^{01}$, мкс	$t_{ф}^{01}$, мкс
Без підключень				
$VD1$				
$C1$				
$VD1, C1$				
$R6$				
C_H				

21.2. Транзисторний перемикач струму

Мета роботи – дослідити статичні та динамічні параметри електронного перемикача на біполярних транзисторах в симетричному і несиметричному режимах.

Опис досліджуваної схеми

Досліджуваний перемикач струму побудований на біполярних транзисторах $VT2$, $VT3$ (рис. 21.1) з безпосереднім емітерним зв'язком. Підключення схеми до джерела живлення і генератора вхідних імпульсів здійснюється перемикачем $S5$. Джерело емітерного зміщення - 5В підключено постійно. Перемикач може працювати в двох режимах: симетричному при нульових зміщеннях на базах транзисторів $VT2$, $VT3$ і несиметричному, коли через вимикач $S3$ і резистор $R12$ на базу $VT3$ подається від'ємне зміщення. В симетричному режимі в паузах між вхідними імпульсами транзистори $VT2$, $VT3$ знаходяться в активному режимі і перемикач управляється як позитивними, так і негативними імпульсами. В несиметричному режимі транзистор $VT3$ в початковому стані замкнутий, а $VT2$ - насичений. Тому перемикач управляється від'ємними імпульсами і не реагує на додатні. На виходах перемикача струму (гнізда $XS5$, $XS6$) формуються синфазний ($XS6$) і протифазний вихідні ($XS5$) сигнали. Для прискорення перехідних процесів в перемикачі в колі бази $VT2$ підключається конденсатор $C2$.

Робоче завдання

1. Зняти передавальну характеристику $U_2 = f(U_1)$ і по ній визначити статичні параметри перемикача струму в симетричному режимі U_{1max}^0 , $U_{1min}^{1(+)}$, $U_{1min}^{1(-)}$, U_{21}^0 , U_{21}^1 , U_{22}^0 , U_{22}^1 .

Тут $U_{1min}^{1(+)}$, $U_{1min}^{1(-)}$ - мінімальні значення одиничних рівнів вхідного сигналу відповідно позитивної та негативної полярності; U_{21} , U_{22} - вихідні напруги, зняті з колекторів транзисторів відповідно $VT2$ і $VT3$.

2. Визначити статичні параметри перемикача струму в несиметричному режимі (замкнути $S3$).

3. Зняти передавальну характеристику ключа в симетричному режимі для позитивного та негативного вхідних імпульсів з амплітудою $U_1^1 = 1,5U_{1min}^1$ і тривалістю $t = 10$ мкс ($S2$ розімкнений). Побудувати часові діаграми напруг в $XS4$, $XS7$, $XS12$ і визначити динамічні параметри ключа $t_{\phi}^{01,10}$, $t_{зт}^{01,10}$.

4. Повторити п. 3 при підключеному конденсаторі $C2$.

5. Зняти передавальну характеристику ключа в несиметричному режимі для від'ємних вхідних імпульсів з амплітудою $U_1^1 = U_{1min}^1$ і тривалістю $t_{вх} = 10$ мкс. Визначити динамічні параметри ключа $t_{\phi}^{01,10}$, $t_{зт}^{01,10}$.

Примітка. В дослідах пп. 3÷5 необхідно використати зовнішню синхронізацію осцилографа, а часові діаграми побудувати в єдиному масштабі часу.

Контрольні запитання

1. Поясніть принцип роботи перемикача струмів.
2. За якою схемою ввімкнені транзистори $VT2$ і $VT3$?
3. В якому режимі перемикач струму на біполярних транзисторах з емітерним зв'язком має мінімальну швидкодію?
4. Поясніть залежність потужності, яка споживається перемикачем від джерел живлення, від амплітуди і полярності вхідних імпульсів в симетричному і несиметричному режимах.

21.3. Перемикач напруги на польовому транзисторі з керуючим $p-n$ переходом

Мета роботи – дослідити статичні та динамічні параметри перемикача напруги на польовому транзисторі.

Опис досліджуваної схеми

Досліджуваний перемикач напруги побудований на n -канальному польовому транзисторі $VT4$ (рис. 21.1). В початковому стані потенціал затвору U_3 транзистора $VT4$ дорівнює нулю і його канал має максимальну провідність. При цьому транзистор $VT4$ знаходиться в тріодному режимі. Вихідний потенціал ключа (гніздо $XS9$) мінімальний і відповідає $U_2^0 = U_{сн}$. Для перемикання транзистора $VT4$ в режим відсічки на його затвор через ділянку $R14-R15$ треба подати від'ємний імпульс. Перемикач $S7$ забезпечує комутацію опорів у стоковому колі $VT4$.

Робоче завдання

1. Зняти передавальну характеристику $U_2 = f(U_1)$ і за нею визначити статичні параметри транзисторного перемикача U_{1max}^0 , U_{1min}^1 , U_2^0 , U_2^1 для двох значень опору в колі стоку ($R16$ і $R17$).
2. Зняти перехідні характеристики при подачі на його вхід від'ємних імпульсів з амплітудою $U_1^1 = 1,5U_{1min}^1$ і тривалістю $t_{ex} = 10$ мкс для двох значень опору в колі стоку.
3. За часовими діаграмами визначити динамічні параметри ключа $t_{ф}^{01,10}$, $t_{зт}^{01,10}$.

Контрольні запитання

1. Поясніть принцип роботи перемикача напруги на польовому транзисторі.
2. Поясніть залежність статичних і динамічних параметрів ключа від опору в колі стоку.

3. Сформулюйте переваги і недоліки ключа на основі польового транзистора.

21.4. Перемикач напруги на МДН- транзисторі з індукованим каналом

Мета роботи – дослідити статичні та динамічні параметри перемикача напруги на МДН- транзисторі з індукованим каналом при лінійному і квазілінійному навантаженнях.

Опис досліджуваної схеми

Перемикач напруги побудований на p -канальному МДН- транзисторі $VT6$ (рис. 21.1). В якості його стокового навантаження використовується резистор $R19$ або нелінійний опір транзистора у двополюсному включенні. Резистори $R18$, $R20$ і стабілітрон $VD2$ обмежує напругу на затворі транзистора $VT6$. У вихідному стані при $U_1^0 = 0$ канал транзистора $VT6$ не індукований, що відповідає режиму відсічки. На виході ключа (гніздо $XS11$) формується одиничний рівень сигналу $U_2^1 = E_c$. Для переключення транзистора $VT6$ в активний (тріодний) режим на вхід ключа треба подати від'ємний імпульс, амплітуда якого з урахуванням резистивного діляника $R18$ - $R20$ перевищує значення порогової напруги $U_{пор}$ транзистора $VT6$. Підключення живлення до схеми та подача вхідних імпульсів на ключ здійснюється натисканням $S8$.

Перемикачем $S7$ забезпечується комутація виду навантаження у стоковому колі транзистора $VT6$.

Робоче завдання

1. Зняти передавальну характеристику $U_2 = f(U_1)$ та по ній визначити статичні параметри транзисторного ключа U_{1max}^0 , U_{1min}^1 , U_2^0 , U_2^1 при нелінійному навантаженні $R19$ у колі стоку $VT6$.

2. Повторити п. 1 при нелінійному навантаженні ($VT5$) у колі стоку $VT6$.

3. Зняти перехідні характеристики ключа при подачі на його вхід від'ємних імпульсів з амплітудою $U_1^1 = 1,5U_{1min}^1$ і тривалістю $t_{вх} = 10\text{мкс}$ (при лінійному навантаженні).

4. Повторити п.3 при нелінійному навантаженні.

5. По часових діаграмах ключа визначити динамічні параметри ключа $t_{з.р.}^{01,10}$, $t_{\phi}^{01,10}$.

Контрольні запитання

1. Поясніть принцип роботи перемикача напруги на МДН-транзисторі.

2. Яке призначення резистора $R20$ у колі затвора транзистора $VT6$?

3. При якому типі навантаження в колі стоку *VT6* амплітуда вихідного сигналу більше?
4. Пояснити переваги нелінійного навантаження ключа.
5. Поясніть залежність статичних параметрів ключа від температури.

Методичні вказівки

Ключові схеми призначені для комутації струму в навантаженні. Ключовий каскад містить джерело напруги живлення, навантажувальний (*R*) та ключовий (*K*) елементи. При одному стані ключового елемента струм в колі навантаження мінімальний, при іншому – приймає максимальне для даного кола значення.

Електронний ключ можна вважати відомою аналогією з механічним ключем. Ключовий елемент схеми, показаної на рис. 21.2 (ключ *K*), замикається та розмикається під дією зовнішньої сили *P*. Якщо вважати, що ключ *K* ідеальний, тобто його опір у замкненому стані дорівнює нулю, а в розімкненому нескінченно великий, то струм у колі та напруга на ключі приймає наступні значення: при розімкненому ключі $U_{1н} = E$; $I_{1н} = 0$; при замкненому ключі $U_{2н} = 0$; $I_{2н} = E / R$.

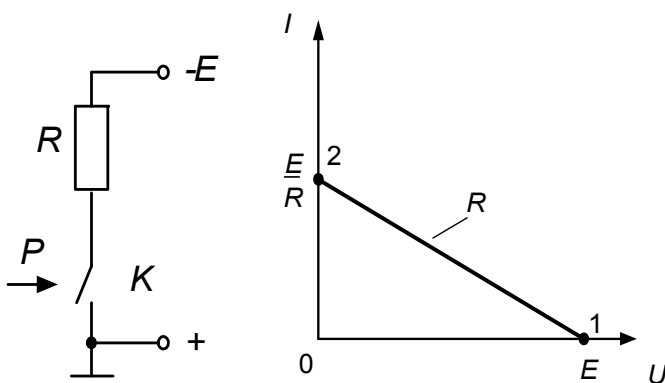


Рис. 21.2

Рис. 21.3

Враховуючи, що 1 – зображуюча точка на вольт-амперній характеристиці (ВАХ) кола при розімкненому ключі, а 2 – зображуюча точка на ВАХ кола при замкненому ключі, положення цих точок можна отримати, побудувавши

навантажувальну пряму методом холостого ходу і короткого замикання (рис. 21.3). При цьому вісь ординат можливо розглядати як ВАХ замкненого ключового елемента *K*, а вісь абсцис – як ВАХ розімкненого ключового елемента.

Амплітуда зміни напруги на навантаженні або на ключі дорівнює різниці абсцис точок 1 і 2: $U_m = U_1 - U_2$. Оскільки у даному випадку $U_2 = 0$, $U_1 = E$, то $U_m = E$. Коефіцієнт використання напруги живлення для ідеального ключа: $k_u = U_m / E = 1$.

В дійсності навіть механічний ключ (рубильник, вимикач) не є ідеальним. Він має опір $r_{пр}$ у ввімкненому та кінцевий опір витоку R_B у вимкненому стані. При аналізі кола з замкненим ключем вказаний ключ можна замінити опором $r_{пр}$; при аналізі кола з розімкненим ключем – великим опором R_B .

Режим включення відповідає точці перетину 2 навантажувальної прямої з ВАХ включеного ключа *K*. Однак при неідеальному ключі ця

характеристика вже не співпадає з віссю ординат, а зображується у вигляді похилої прямої, крутизна якої залежить від $r_{пр}$ (рис. 21.4). Точку 1 отримують аналогічно в результаті перетину навантажувальної прямої з прямою R_B . У даному випадку $U_1 < E$ та $U_2 > 0$, тобто $U_m < E$ та $k_u < 1$. Таку методику знаходження положення точок 1 та 2, які відображають статичні стани ключового каскаду, можна використовувати і у тому випадку, коли ВАХ ключового елементу у замкненому та розімкненому стані зображуються нелінійними залежностями.

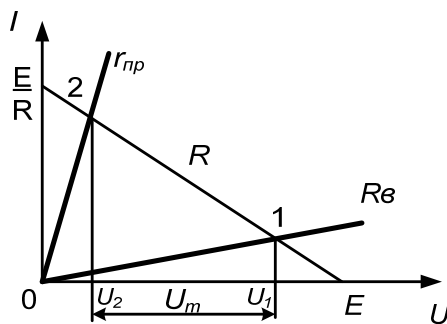


Рис. 21.4

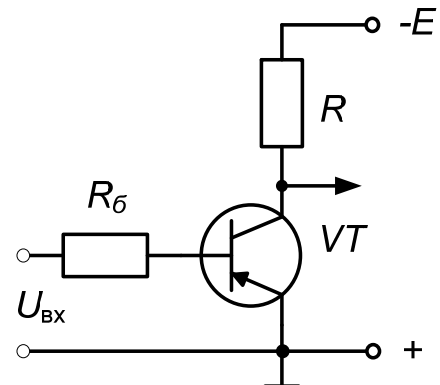


Рис. 21.5

Найпростіший транзисторний ключ

Принципова схема найпростішого транзисторного ключа зображена на рис. 21.5. Тут вхідний керуючий сигнал $U_{BX}(t)$, який задає базовий струм транзистора, грає ту ж саму роль, що й сила P у схемі на рис. 21.2, а сам транзистор VT – роль ключового елемента K . При позитивній полярності вхідного сигналу транзистор закритий, у його вихідному колі протікає тільки малий тепловий струм I_{K0} . При від'ємній полярності вхідного сигналу у базовому колі транзистора створюється струм, якого достатньо для його насичення. Використовуючи вихідні ВАХ замкненого та насиченого транзистора, за допомогою побудов, які приведено на рис. 21.6, визначаємо положення точок 1 і 2. Як і раніше, точка 1 відповідає вимкненому стану ключа (у даному випадку транзистора VT), а точка 2 – ввімкненому стану ключа, тобто насиченому транзистору. Значення колекторного струму i_k , які відповідають ординатам точок перетину навантажувальної прямої з іншими характеристиками сімейства, можуть бути тільки миттєвими під час переходу від ввімкненого стану до вимкненого.

Як випливає з рис. 21.6, напруга U_1 близька до напруги живлення E .

Напруга U_2 чисельно дорівнює напрузі U_{K_H} на колекторі насиченого транзистора. Оскільки значення U_{K_H} мале, амплітуда зміни напруги на навантаженні при перемиканні наближається до E , тобто коефіцієнт k_u наближається до одиниці. У цьому сенсі ключ на біполярному

транзисторі близький до ідеального. Даний найпростіший ключ повинен керуватися знакозмінною напругою на вході $U_{вх}(t)$. Схема каскаду при дії додатної півхвилі вхідного сигналу показана на рис. 21.7. Якщо транзистор закритий, то його струм (як вхідний, так і вихідний) малий і дорівнює I_{K0} .

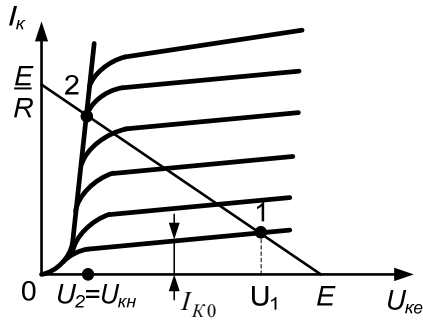


Рис. 21.6

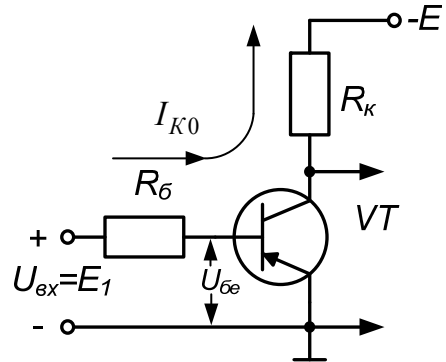


Рис. 21.7

Цей струм у схемі тече від додатної клема генератора $U_{вх}$ через опір R_B , колекторний перехід замкненого транзистора та опір R_K до від'ємної клема джерела живлення E . Далі він замикається через джерела E та $U_{вх}$. Умова запирання транзистора у схемі з спільним емітером має вигляд $U_{BE} \geq 0$. Для отримання мінімально можливого вихідного струму I_{K0} необхідно створити позитивну напругу на базі транзистора. Рівняння для базового кола, яке відповідає другому рівнянню Кірхгофа, має вигляд:

$$E_1 = I_{K0} R_B + U_{BE};$$

де E_1 - амплітуда додатної півхвилі вхідного сигналу;
звідси $U_{BE} = E_1 - I_{K0} R_B$.

Умова $U_{BE} \geq 0$ рівнозначна $E_1 - I_{K0} R_B \geq 0$ або $R_B \leq E_1 / I_{K0}$. Вона повинна виконуватися на всьому діапазоні робочих температур ключового каскаду, враховуючи і максимальну температуру T_{max}^o , при якій струм I_{K0} максимальний і дорівнює I_{K0max} . Підставляючи у знайдене співвідношення максимальне значення струму I_{K0max} , отримуємо умову надійного запирання транзистора у ключовому каскаді:

$$R_B \leq E_1 / I_{K0max} \quad (21.1)$$

При виконанні (21.1) струми транзистора і напруга на його електродах (наприклад, напруга на його колекторі, яка є вихідною для каскаду) можна знайти з наступних співвідношень:

$$I_B = -I_{K0}, \quad U_{BE} = +E_1 - I_{K0} R_B; \quad I_K = I_{K0}, \quad U_{KE} = -E + I_{K0} R_K.$$

Струм навантаження також дорівнює I_{K_0} ; напруга на навантаженні R_K визначається рівністю $U_H = I_{K_0} R_K$. Так як значення струму I_{K_0} мале, особливо для кремнієвих транзисторів, то ним інколи нехтують. При $I_{K_0} \rightarrow 0$ можна вважати, що $U_{BE} = +E_1$; $U_{KE} = -E$; $U_H = 0$; $I_H = 0$.

Еквівалентна схема каскаду при дії від'ємної півхвилі вхідного сигналу $U_{вх}(t)$ зображена на рис. 21.8.

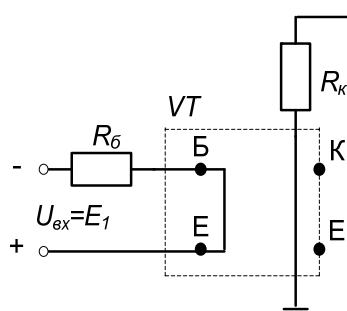


Рис. 21.8

Передбачається, що транзистор VT насичений і для його вхідного та вихідного кола використані найпростіші схеми заміщення: відрізки база-емітер та колектор-емітер стягнуті в одній точці. Для вхідного кола за законом Ома $I_B = E_1 / R_B$; для вихідного колекторного кола $I_{KH} = E / R_K$.

Умова насичення транзистора у загальному вигляді записується як $I_K \leq \beta \cdot I_B$, де β - коефіцієнт підсилення транзистора за струмом у схемі зі спільним емітером.

Підставляючи в загальну умову знайденні значення I_B та I_K , отримуємо $E / R_K \leq \beta E_1 / R_B$, звідки:

$$R_B \leq \beta E_1 R_K / E. \quad (21.2)$$

Це є умова насичення транзистора у ключовому каскаді, який виконано згідно схеми на рис. 21.5. В окремому випадку при $E_1 = E$ ця умова спрощується та приймає вигляд $R_B \leq \beta R_K$.

Умова насичення повинна виконуватися для всіх значень коефіцієнта β транзисторів обраного типу, включаючи мінімально можливі, при яких виконання (21.2) найбільш заважке. Підставляючи у (21.2) мінімальне значення β , визначаємо умову для розрахунку:

$$R_B = \beta_{min} E_1 R_K / E.$$

Транзистор буде насичений, якщо дана умова буде виконана. Однак цей випадок відповідає границі насиченого режиму; незначні зміни параметрів схеми (збільшення R_B або зменшення R_K) можуть привести до виходу транзистора з режиму насичення. Тому граничне значення R_B звичайно не використовують, а беруть декілька менше значення цієї величини, створюючи тим самим деякий запас за ступенем насичення транзистора. Ступінь насичення транзистора оцінюється коефіцієнтом n . Зміст коефіцієнта n полягає у наступному.

Нехай I_{KH} - значення колекторного струму насичення транзистора. З умови насичення $I_K \leq \beta I_B$ отримуємо, що для насичення транзистора при заданому струмі I_{KH} достатньо створити струм бази $I_{BH} = I_{KH} / \beta$. Цей струм називають базовим струмом насичення. Очевидно, що

транзистор буде насичений і при $I_B > I_{BH}$. Співвідношення $I_B / I_{BH} = n$ називають ступенем (або коефіцієнтом) насичення транзистора. На межі насиченого режиму (при $I_B = I_{BH}$) $n = 1$. В області насичення $n > 1$, а значень $n < 1$ бути не може, тому що співвідношення $I_B / I_{BH} < 1$ свідчить про те, що транзистор ненасичений. Використовуючи n , співвідношення для вибору R_B можна записати у вигляді: $R_B = \beta E_1 R_K / n E$. Зазвичай намагаються забезпечити $n = 1,5 \div 3$. При більших коефіцієнтах насичення статичні стани ключа (ввімкнено-вимкнено) також забезпечуються, однак при цьому, як буде показано, знижується швидкодія ключового каскаду. Враховуючи, що (21.2) забезпечено, можемо записати значення напруг та струмів на елементах ключового каскаду:

$$\begin{aligned} U_{BE} = U_{BH} &\approx 0; & I_B &= (E_1 - U_{BH}) / R_B \approx E_1 / R_B; \\ U_{KE} = U_{KH} &\approx 0; & I_K &= I_{KH} = (E - U_{KH}) / R_K \approx E / R_K; \\ I_K &= I_{KH} \approx E / R_K; & U_H &= E - U_{KH} \approx E. \end{aligned}$$

Перехідні процеси при перемиканні

Транзистор – інерційний прилад, і перехід ключового каскаду з ввімкненого стану у вимкнений та навпаки відбувається не миттєво. Будемо вважати, що меандрова напруга $U_{BX}(t)$ має ідеально круті перепади (рис. 21.9, а).

Розглядання перехідних процесів почнемо з інтервалу часу, передчасному закінченню додатної півхвилі вхідного сигналу. У цей час транзистор закритий:

$$i_B(t) = -I_{K0}; U_B(t) = E_1 - I_{K0} R_B; i_K(t) = I_{K0}; U_K(t) = -E + I_{K0} R_K,$$

(рис. 21.9, б-д).

Тепер вхідна напруга стрибком змінюється і приймає значення $-E_1$. Базовий струм транзистора задається резистором R_B . За законом Ома струм $i_B(t) = u_{BX}(t) / R_B$ і тому також стрибком приймає значення E_1 / R_B . Як і раніше, відпираючий (що витікає) струм бази додатний (рис. 21.9, б). Напруга на базі транзистора, яка дорівнює напрузі на емітерному переході транзистора при відпираючому струмі бази $i_B(t) = E_1 / R_B$, мала.

Базовий струм $I_B = E_1 / R_B$ відпирає транзистор, який при цьому переходить з режиму відтинання в активний режим. Інерційність транзистора у активному режимі оцінюється його сталою часу θ_E . Колекторний струм транзистора починає збільшуватися, наближаючись до рівня βI_B зі сталою часу θ_E . В ключовому режимі при $I_B > I_{BH}$

рівень $\beta I_{\text{б}}$ не може бути досягнутий, тому що колекторний струм раніше досягне свого граничного значення $I_{\text{кн}} = E_1 / R_{\text{к}}$, обмеженого

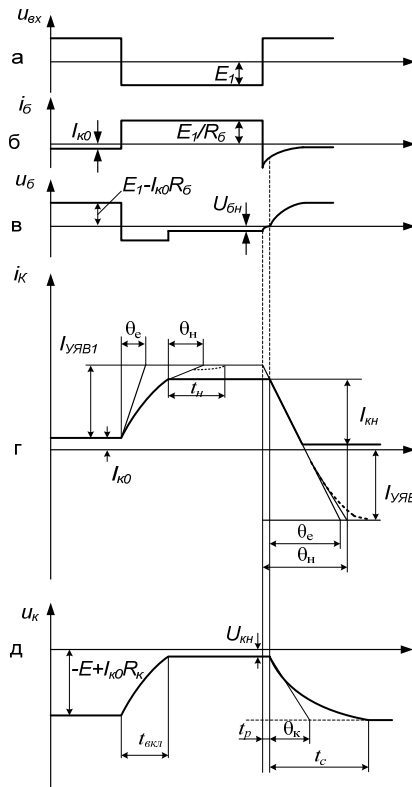


Рис. 21.9

значенням опору $R_{\text{к}}$ колекторного кола каскаду. Тому граничний рівень $\beta I_{\text{б}}$ часто називають рівнем “уявного” струму:

$$I_{\text{уявл}} = \beta I_{\text{б}} = \beta E_1 / R_{\text{б}}.$$

Через деякий час після зміни вхідної напруги, колекторний струм досягає значення $I_{\text{кн}} = E / R_{\text{к}}$. Подальша зміна колекторного струму припиняється і він приймає максимально можливе значення для даного каскаду. Транзистор з активного режиму переходить в насичений. Напруга на його колекторі приймає мале, близьке до нульового значення $U_{\text{ке}}$.

Час зміни вихідної напруги каскаду $U_{\text{ке}}(t)$ від $-E + I_{\text{к0}} R_{\text{б}} \approx -E$ до $U_{\text{кн}} = 0$

називають часом включення каскаду $t_{\text{вкл}}$. Час включення каскаду тим менший, чим більша швидкодія використаного у каскаді транзистора, тобто чим вища його гранична частота або чим менша його стала часу θ_E . Крім того, $t_{\text{вкл}}$ залежить від режиму використання транзистора, тобто від ступеня насичення транзистора у ввімкненому стані n : чим більший n , тим менший $t_{\text{вкл}}$.

Після завершення часу $t_{\text{вкл}}$ транзистор насичується. Насичення транзистора викличе відпирання колекторного переходу транзистора, котрий в активному режимі був зміщений у зворотному напрямку. Це приведе до зміни сталої часу транзистора – вона приймає нове значення $\theta_{\text{н}}$, після чого починається накопичення заряду в базі насиченого транзистора. Через час $t_{\text{н}}$ після включення транзистор виявиться у статично насиченому режимі:

$$i_{\text{к}}(t) = I_{\text{кн}}; \quad U_{\text{ке}}(t) = U_{\text{кн}} \approx 0; \quad U_{\text{бе}}(t) = U_{\text{бн}} \approx 0; \quad i_{\text{б}}(t) = E_1 / R_{\text{б}}.$$

Далі вхідна напруга $U_{\text{вх}}(t)$ знову стрибком змінюється від $-E_1$ до $+E_1$ (див. рис. 21.9, а). В силу великого накопиченого надлишкового заряду основних носіїв у базі транзистор перший час після зміни вхідної напруги залишається насиченим і тому провідним. За законом Ома вхідний струм $i_{\text{б}}(t) = U_{\text{вх}}(t) / R_{\text{б}}$ прийме значення $-E_1 / R_{\text{б}}$. Так як цей струм буде втікаючим, який змінив напрям, то на графіку базового

струму (див. рис. 21.9, б) він має від'ємне значення. Запираючий базовий струм $-E_1/R_B$ починає розсмоктувати надлишковий заряд у базі транзистора і ступінь насичення транзистора зменшується. Транзистор вийде з режиму насичення через деякий час t_p після стрибка вхідної напруги. Тому час розсмоктування t_p інколи називають часом затримки вимикання каскаду. Час розсмоктування тим менший, чим більше значення замикаючого струму бази створює додатна півхвиля вхідного сигналу, тобто чим менший ступінь насичення транзистора у ввімкненому стані.

Таким чином, вимоги до вибору ступеня насичення транзистора n виявляються суперечливими: для зменшення часу включення n бажано збільшити, однак при цьому збільшується час затримки t_p .

Під час розсмоктування значення струму $i_K(t)$ і напруги $u_{KE}(t)$ залишились такими ж, що й у насиченому режимі. Напруга на базі транзистора через зміну напрямку базового струму декілька змінилась, але як і раніше має досить малу величину, близьку до U_{BH} (див. рис. 21.9, в).

Після завершення процесу розсмоктування транзистор ключового каскаду переходить у активний режим. Починається формування зрізу вихідного імпульсу напруги. На цьому етапі відбувається два процеси: зменшення колекторного струму до його відтинання і заряд колекторної ємності C_K через R_K від джерела живлення E .

Так як після виходу з режиму насичення транзистор перейшов у активний режим, стала часу змінилась від θ_H до θ_E . Колекторний струм зменшиться від значення I_{KH} , прямуючи до рівня $I_{Kаж2}$ зі сталою часу θ_E . Процес зменшення колекторного струму від I_{KH} до I_{K0} , близького до нуля, відбувається досить швидко, особливо при великому запираючому струмі бази. Тривалість цього процесу складає лише малу частку тривалості зрізу вихідного імпульсу; істотно більшу тривалість має процес заряду ємності C_K . Після відтинання колекторного струму ця ємність продовжує заряджатися від джерела E через R_K . Через те, що транзистор при цьому закритий і практично не шунтує коло заряду, то стала часу цього кола $\theta_K = R_K C_K$ або з урахуванням ємності навантаження C_H , яка також має кінцеву величину, $\theta_K = R_K (C_K + C_H)$. Тривалість зрізу імпульсу напруги на колекторі транзистора $t_{зр} = 3\theta_K = 3R_K (C_K + C_H)$. На відміну від вхідної вихідна напруга ключового каскаду має кінцеві тривалості фронту та зрізу, які відповідають значенням $t_{вкл}$ та $t_{викл}$; моменти його переключення не співпадають з моментами перемикання вхідної напруги (час затримки вимкнення каскаду дорівнює t_p); вихідна напруга однополярна, тобто приймає тільки від'ємні значення від $-U_{KH}$ до $-(E - I_{K0} R_K)$ або

наближено від 0 до $-E$. Крім того, вихідна напруга знаходиться у протифазі вхідній (при зменшенні вхідного сигналу від $+E_1$ до $-E_1$ вихідна напруга змінюється від рівня $-E$ до нульового).

Різновиди ключових каскадів на біполярних транзисторах

Розглянута найпростіша схема транзисторного ключа має ряд недоліків:

а) використання біполярного сигналу для управління, що ускладнює сполучення одностипних ключів, так як вихідний сигнал однополярний;

б) збільшення часу розсмоктування при скороченні часу вмикання за рахунок більш глибокого насичення транзистора у ввімкненому стані;

в) низька швидкодія, яка викликана значним часом розсмоктування;

г) залежність тривалості фронту і зрізу вихідних імпульсів від ступеня насичення транзистора, тобто при інших рівних умовах від коефіцієнта підсилення транзистора по струму β . Так як значення β у транзисторів однієї групи мають істотний розкид, значення $t_{\text{вкл}}$ та $t_{\text{викл}}$ при зміні транзисторів будуть змінюватися, що створює додаткові складнощі при серійному виробництві апаратури.

Для усунення цих недоліків застосовують удосконалені схеми ключових каскадів. Розглянемо деякі з них.

Ключовий каскад з прискорюючим конденсатором у базовому колі транзистора. Вже відзначалося, що у найпростішому транзисторному ключі збільшення базового струму, який насичує транзистор, призводить до зменшення часу вмикання базового струму, який насичує транзистор, і до зменшення часу включення каскаду $t_{\text{вкл}}$, але одночасно викликає збільшення часу розсмоктування t_p . Останній недолік можливо зменшити, зробивши базовий струм не сталим протягом дії всієї відпираючої півхвилі вхідного сигналу, а зміним. Після вмикання транзистора перед появою додатної півхвилі вхідного сигналу базовий струм повинен бути більшим. Ці розуміння по створенню змінного струму бази реалізовані в ключовому каскаді, схема якого наведена на рис. 21.10, а, де опір R_b розділений на два опори $R1$ та $R2$ ($R2$ зашунтований прискорюючим (форсуючим) конденсатором C_ϕ невеликої ємності).

Вхідний сигнал, як і для найпростішого ключового каскаду, має форму меандрової напруги з додатною та від'ємною амплітудою півхвиль E_1 та тривалістю півхвиль τ , яка істотно перевищує як час вмикання та вимикання транзистора, так і сталу часу заряду і розряду форсуючого конденсатора C_ϕ . При дії додатної півхвилі напруги транзистор VT замкнений. У його базовому колі протікає струм I_{K0} , який створює на $R2$ падіння напруги $I_{K0}R2$.

Напруга на C_ϕ дорівнює напрузі на R_2 : $u_{C_0} = I_{K_0} R_2$. Від'ємна півхвиля вхідного сигналу відпирає транзистор. Після стрибка вхідної напруги базовий струм транзистора обмежений тільки значенням R_1 :

$$I_{B_{max}} = (E_1 + U_{C_0}) / (R_1 + r_{BH}) \approx E_1 / R_1.$$

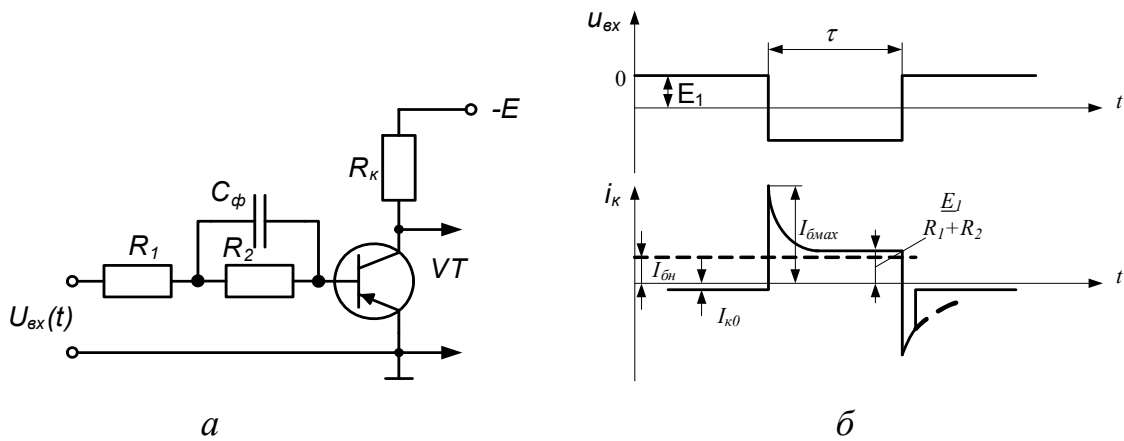


Рис. 21.10

По мірі заряду ємності C_ϕ базовий струм зменшується, прямуючи до сталого рівня: $I_B = E_1 / (R_1 + R_2)$ зі сталою часу $\theta_1 = C_\phi R_1 R_2 / (R_1 + R_2)$. Через час $t_y = 3C_\phi R_1 R_2 / (R_1 + R_2)$ базовий струм прийме усталене значення. Для того, щоб насичений режим роботи транзистора зберігся до закінчення від'ємної півхвилі, необхідно забезпечити нерівність $I_B \geq I_{BH}$, однак перевищення значенням I_B рівня I_{BH} може бути невеликим. У цьому випадку транзистор вмикається великим базовим струмом $I_{B_{max}}$, безпосередньо перед вимиканням базовий струм малий і ступінь насичення транзистора n невелика. Після зміни полярності вхідного сигналу напруга на C_ϕ , яка дорівнює $E_1 R_2 / (R_1 + R_2)$, буде складатися з додатною півхвилею напруги та збільшувати замикаючий струм бази. Процес вимкнення каскаду теж прискорюється. Тому конденсатор C_ϕ і називається прискорюючим.

Ключовий каскад з колом нелінійного від'ємного зворотного зв'язку

Розглянута схема ключових каскадів, яка має дійсну перевагу – великий, який наближується до одиниці, коефіцієнт використання живлячої напруги K_u , в той же час має і недолік – велику затримку вимкнення. У ключових каскадах з форсуючою ємністю (рис. 21.10) цей недолік тільки послаблений, але не усунутий. Так як перед вимкненням $I_B > I_{BH}$, і вимкнення, як і в інших схемах, починається з етапу розсмоктування неосновних носіїв.

Етап розсмоктування, а відповідно, і затримку вимкнення можна усунути, якщо транзистору у ввімкненому стані створити не насичений, а активний режим роботи.

Однак безпосереднє використання активного режиму транзистора в схемі рис. 21.5 викликає нові труднощі.

Справа в тому, що в активному режимі транзистора $I_K = \beta I_B$. Залишкова напруга на виході ввімкненого каскаду $U_{KEзал} = -(E - I_K R_K)$. Залишкова напруга може бути значною, $|U_{KEзал}| > |U_{KH}|$, що призводить до зменшення амплітуди вихідного імпульсу і зниженню коефіцієнта K_u . І цей недолік не єдиний. Більш істотний той факт, що $U_{KEзал}$ залежить від коефіцієнта підсилення β транзистора. Якщо запираючий струм I_B , який створюється вхідним джерелом $u_{вх}(t)$, незмінний, то струм $I_K = \beta I_B$ є прямо пропорційним β . Відповідно, напруга $U_{KEзал} = -(E - \beta I_B R_K)$ буде тим меншою, чим більше β . Через те, що розкид значень β біполярних транзисторів досить великий, повторення вихідних параметрів ключового каскаду є незадовільним.

Принципова схема ключового зв'язку каскаду на ненасиченому транзисторі з колом нелінійного зворотного показана на рис. 21.11. У

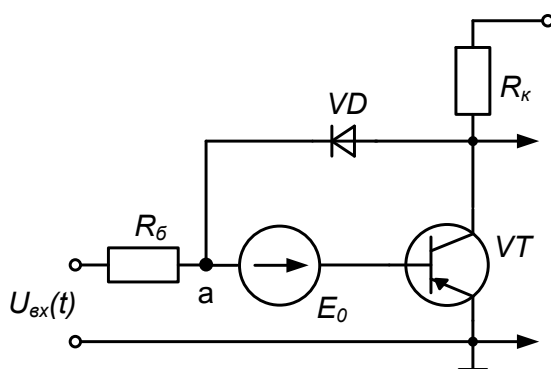


Рис. 21.11

базове коло транзистора VT послідовно з R_B ввімкнене додаткове джерело постійної напруги (батарея) E_0 . Напруга E_0 мала – біля 1 В. Між від'ємною клемою цієї батареї та колектором VT ввімкнено діод нелінійного зворотного зв'язку VD . Вхідний сигнал $u_{вх}(t)$, як у схемі на рис. 21.5,

біполярний з амплітудою кожної з півхвиль E_1 .

Під час дії додатної півхвилі вхідного сигналу транзистор VT і діод VD закриті. На виході каскаду встановиться рівень напруги $-E + (I_s + I_{K_0})R_K$, де I_s - зворотній струм закритого діода VD . Так як I_s і I_{K_0} - невеликі, вихідну напругу можна вважати рівною $-E$. Напруга у точці a , яка відповідає від'ємній клемі джерела E_0 ,

$$u_a = +E - (I_s + I_{K_0})R_B.$$

Очевидно, що $u_a \approx E_1$. Запираюча напруга на діоді $u_{aK} = E_1 + |E|$.

Запираюча напруга на базі VT $u_{BE} = u_a + E_0 \approx E_1 + E_0$. Нехтуючи зворотнім струмом закритого діода I_s , можна вважати, що введення додаткових елементів практично не змінило режим вихідного кола транзисторного ключа при закритому транзисторі.

При появі негативної півхвилі напруги транзистор включається і напруга на його колекторі зменшується. Оскільки напруга зменшується не миттєво, а зі сталою часу θ_E , протягом часу ввімкнення напруга на

колекторі ще негативна, діод VD закритий цією напругою по аноду і не впливає на значення вмикаючого базового струму $I_B = (E_1 - E_0)/R_B$. Колекторний струм зростає, прямуючи до струму βI_B , а напруга на колекторі з тією ж сталою часу θ_E прямує до нуля. Напруга у точці a відносно корпусу пристрою можна вважати рівним $-E_0$, або більш точно, з урахуванням напруги e_{0B} на базі ввімкненого транзистора, $u_a = -(E_0 + e_{0B})$. В процесі включення каскаду напруга на колекторі VT не зможе досягти нульового значення: коли від'ємна напруга на колекторі перевищить рівень u_a , відпирається діод VD і фіксує напругу на колекторі включеного транзистора.

Залишкова напруга на колекторі $U_{K0} = U_a - e_0$, де e_0 – напруга відсічки відкритого діода VD .

Використовуючи знайдене значення U_a , отримуємо $U_a = -(E_0 + e_{0B} - e_0) \approx -E_0$. Напруга на колекторі зафіксована на малому рівні E_0 , яка не перевищує значення U_{KH} .

Перехідні процеси при перемиканні

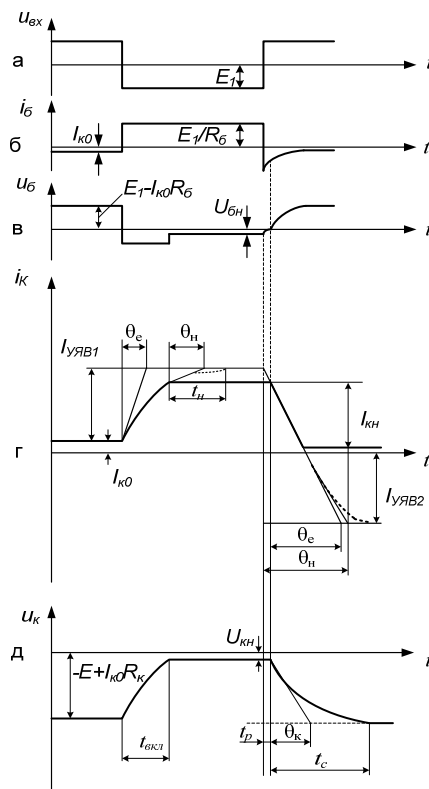


Рис. 21.12

Відпирання діода VD не тільки фіксує колекторну напругу, але і приводить до істотного зменшення базового струму транзистора. Справа в тому, що після відпирання діода VD напруга в точці a схеми практично не змінилась і як і раніше визначається рівністю $u_a = -(E_0 + e_{0B})$. Тому струм, що протікає через R_B , також не зміниться:

$$i_R = (E_1 - u_a)/R_B \approx (E_1 - E_a)/R_B.$$

Якщо до включення діода весь цей струм замикався через базу транзистора, то тепер він виявляється рівним сумі двох струмів – струму бази I_B' і струму діода i_{VD} . Звідси

$$I_B' = i_R - i_{VD} = I_B - i_{VD}.$$

Базовий струм зменшився на величину струму включеного діода. Після включення діода струм в навантаженні R_K уже не змінюється, оскільки напруга на колекторі зафіксована на рівні U_{K0} :

$$i_{R_K} = (E - u_{K_0}) / R_K = \text{const.}$$

Струм колектора транзистора $i_K(t)$ продовжує зростати, але вже тільки за рахунок збільшення струму через діод VD : $i_K(t) = i_{R_K} + i_{VD}$. Коли він досягне сталого значення I_{VD} , ключовий каскад перейде в статичний режим.

При цьому колекторний перехід транзистора залишається зміщеним у зворотному напрямку, напруга на колекторі відмінна від нуля, струм колектора не обмежений значенням R_K , а має можливість рости при збільшенні сигналу E_1 , струм бази зменшився на I_{VD} і вже не перевищує значення I_{BH} . Ці ознаки свідчать про те, що транзистор працює в ненасиченому режимі, на межі насичення.

Перехідні процеси в ключовому каскаді з ненасиченим транзистором проілюстровані на рис. 21.12, де момент часу t_1 відповідає появі від'ємної півхвилі вхідного сигналу $u_{BX}(t)$, момент t_2 – відпиранню діода VD , момент t_3 – досягненню усталеного значення струму діода.

Час затримки вимкнення в даній схемі малий і визначається вже не часом розсмоктування, а встановлення зворотного опору діода при його запиранні, яке при використанні швидкодіючих імпульсних діодів має дуже малі значення.

При практичній побудові ключових схем використання окремого джерела E_0 , обидва полюса якого ізольовані від корпусу пристрою, викликає значні незручності. Тому на практиці в якості напруги E_0 використовують падіння напруги на додатковому резисторі і діоді. На рис. 21.13 показані каскади з ненасиченим транзистором, що мають зовнішнє джерело зсуву.

На рис 21.13, а резистор зв'язку R_3 складається з двох послідовно

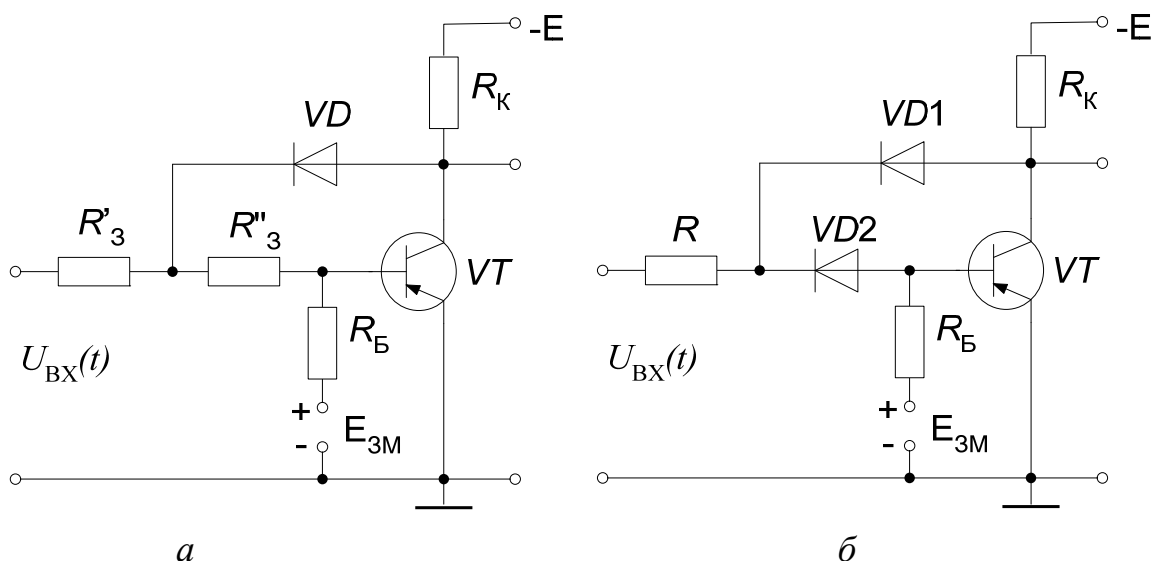


Рис. 21.13

з'єднаних резисторів R_3' і R_3'' , з котрих другий має дуже малий опір.

Базовий струм включеного транзистора, протікаючи через R_3'' , створює на ньому напругу E_0 , яка виконує ту ж функцію, що і джерело E_0 в схемі на рис. 21.11. В схемі на рис. 21.13, б функцію джерела виконує падіння напруги на відкритому діоді $VD2$, що при включеному діоді близьке до напруги відсічки його вхідної характеристики e_0 і мало залежить від струму, що протікає. Тому опорна напруга E_0 , яка створюється діодом в схемі на рис. 21.13, б, менше залежить від коливань вхідного струму, ніж в схемі на рис. 21.13, а.

Для забезпечення відпирання діода нелінійного зворотного зв'язку $VD1$ в схемі на рис. 21.13, б напруга відсічки діода $VD2$ повинна бути

більшою, ніж напруга відсічки діода $VD1$, що забезпечується, наприклад, у випадку, коли діод $VD2$ – кремнієвий, а $VD1$ – германієвий.

Трохи по-іншому працює схема усунення затримки вимкнення, яка зв'язана з розсмоктуванням (рис. 21.14).

Ця схема потребує меншої кількості додаткових елементів, а тому більш зручна при побудові мініатюрних каскадів. Її часто використовують в інтегральних

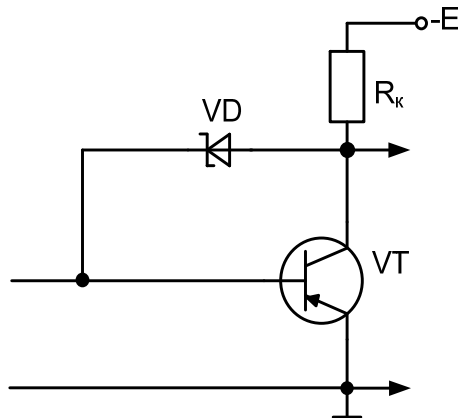


Рис. 21.14

схемах ключових каскадів. Паралельно колекторному переходу транзистора VT підключають діод Шоттки.

Діод Шоттки – це алюмінієво-кремнієвий діод, у якого пряма напруга на діоді дуже мала (менше падіння напруги на прямо зміщених $p-n$ переходах) і відсутнє накопичення заряду. При включенні каскаду на рис. 21.14 транзистор VT повинен увійти в режим насичення, а його колекторний перехід зміститься в прямому напрямку. Однак раніше, ніж відкриється колекторний перехід транзистора VT , відпирається діод Шоттки VD . Падіння напруги на відкритому діоді мале – менше напруги прямого зміщення колекторного $p-n$ переходу. При такій напрузі колекторний перехід відкритись не може і залишається на межі включення. Час розсмоктування, а отже і затримка вимикання, тут відсутні.

Лабораторна робота № 22

ЛОГІЧНІ ЕЛЕМЕНТИ

Комбінаційними логічними елементами (ЛЕ) називають функціональні вузли електронної техніки, реалізуючі функції алгебри логіки так, що стан із виходів однозначно визначається комбінацією вхідних сигналів і не залежить від попереднього стану даного елемента.

З точки зору схемотехніки ЛЕ описуються двома множинами параметрів і характеристик: логічними і електричними. До логічних елементів відносять реалізовану ЛЕ функцію алгебри логіки, рівні нуля і одиниці на вході U_1^0 і U_1^1 і на виході U_2^0 і U_2^1 ЛЕ, тривалість затримки розповсюдження сигналу $t_{зп}$, тривалості фронту наростання t_{ϕ}^{01} і спаду t_{ϕ}^{10} вихідного сигналу. До електричних характеристик ЛЕ відносять сім'ї вхідних, передатних і вихідних характеристик з урахуванням впливу напруги джерела живлення і температури, а також енергетичні параметри ЛЕ: споживану енергію в стані “логічного 0” і “логічної 1” на виході. Дана робота посвячена дослідженню ЛЕ Шеффера, виконаного на базі ТТЛ – технології (155ЛА3), КМДН – технології (176ЛА7), ЛЕ Пірса на базі КМДН – технології (176ЛЕ5), а також ЛЕ двоступеневої логіки І-АБО-НЕ (155ЛРІ).

Мета роботи – ознайомитись з логікою функціонування ЛЕ типу “І-НЕ”, “АБО-НЕ”, “І-АБО-НЕ”; дослідити статичні характеристики ЛЕ: вхідні, передаточні і вихідні; виміряти динамічні параметри ЛЕ.

Опис досліджуваної схеми

В лабораторну установку входять лабораторний стенд зі змінним модулем ЛЕ, генератор імпульсів Г5-54, мультиметр і осцилограф С1-55. ЛЕ: DD1 - К155ЛА3, DD2 – К176ЛА7, DD3 - К155ЛР1, DD4 - К176ЛЕ5 (рис. 22.1). Підключення ЛЕ до джерела живлення +5 В, до шини вхідного сигналу, який подається на гніздо XW1, і до загальної вихідної шини, зв'язаної з вихідним роз'ємом XW2, здійснюється перемикачами DD1 - S1, DD2 - S2, DD3 - S3, DD4 - S4.

Примітка. Щоб уникнути перевантаження елементів і вихід їх із ладу, не можна одночасно підключати до джерела живлення і сигнальним шинам більше одного ЛЕ. Перед початком роботи потрібно впевнитись, що всі ЛЕ відключені.

Статичні вхідні характеристики ЛЕ, які виконані на основі ТТЛ-технології (К155ЛА3, К155ЛРІ), вимірюють за допомогою генератора пилкоподібної напруги ЛЗ0.

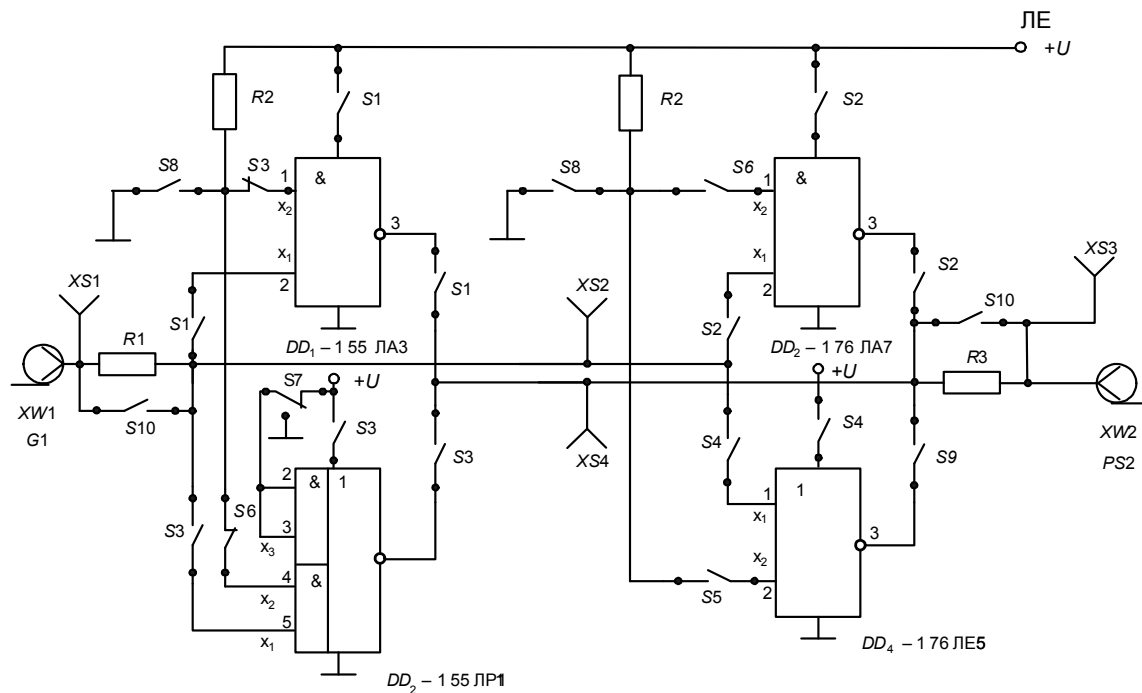


Рис. 22.1

Лінійно зростаюча напруга подається до гнізда $XW1$ і через резистор $R1 = 100 \text{ Ом}$ та контакти перемикача $S1(S3)$ – на вхід ЛЕ $DD1(DD3)$. При цьому перемикач $S10$ повинен бути розімкненим. Регулюванням амплітуди пилоподібного сигналу і його постійної складової необхідно забезпечити зміну вхідної напруги ЛЕ (гніздо $XS2$) в межах $0 \dots +5\text{В}$. При цьому на резисторі $R1$ виділяється напруга $U_{R1} = I_{\text{вх}} R1$, пропорційна вхідному струму ЛЕ.

Співставляючи діаграми напруги на опорі $R1$ і на вході ЛЕ, можна побудувати залежність $I_{\text{вх}} = f(U_{\text{вх}})$.

Осцилограма напруги на резисторі $R1$ може бути отримана при підключенні осцилографа до гнізд $XS1-XS2$ за умови, що осцилограф не заземлений по другому каналу чи через клему на корпусі.

Вхідна характеристика ЛЕ може бути виміряна на постійному струмі за допомогою мультиметра, для чого на вхід через гніздо $XW1$ від генератора подається регульована постійна складова сигналу. Мультиметром вимірюють пари значень напруг на резисторі $R1$ ($XS1-XS2$) і на вході ЛЕ ($XS2-\perp$). За результатами вимірювань обчислюють вхідний струм $I_{\text{вх}}$ і будують вхідну характеристику. Вигляд вхідної характеристики ЛЕ залежить від потенціалу на другому вході X_2 , який встановлюється перемикачами $S5 \div S8$ для відповідних ЛЕ.

При вимірюванні динамічних параметрів ЛЕ резистори $R1$ і $R3$ повинні

бути закорочені перемикачем $S10$. Імпульс прямокутної форми через роз'єм $XW1$ подається на один вхід ЛЕ, а з його виходу через роз'єм $XW2$ - на вхід осцилографа. На другий вхід осцилографа потрібно подати вхідний сигнал з гнізда $XS2$ чи $XS1$.

За передачею прямокутного імпульсу через ЛЕ перевіряється логіка функціонування ЛЕ, для чого з допомогою перемикачів $S5 \div S8$ на інші входи ЛЕ подаються одиничні або нульові рівні сигналу. Для подачі на вхід ЛЕ "логічного 0" цей вхід заземляють, а одиничний рівень вхідного сигналу задають підключенням входу ЛЕ до джерела живлення через резистор $R2$.

Робоче завдання

1. Зняти і побудувати вхідну характеристику ЛЕ $DD1(DD3)$ для нульової і одиничної напруг на другому вході ЛЕ.
2. Проосцилографувати вхідні характеристики $DD1(DD3)$, подаючи на вхід ЛЕ імпульси пилкоподібної форми.
3. Зняти і побудувати статичні вхідні характеристики ЛЕ $DD1, DD2, DD3, DD4$ для нульового і одиничного рівнів вхідних сигналів.
4. Зняти і побудувати передаточні характеристики ЛЕ $DD1, DD2, DD3, DD4$ $U_{\text{вих}} = f(U_{\text{вх}})$ при нульовому і одиничному рівнях на другому вході.
5. Виміряти динамічні параметри ЛЕ $t_{\text{ф}}^{01}, t_{\text{ф}}^{10}, t_{\text{зт.р}}$ при подачі на вхід прямокутних імпульсів.

Контрольні запитання

1. Поясніть характер вхідних характеристик ЛЕ ТТЛ - типу.
2. Поясніть залежність вхідної характеристики ЛЕ від логічного рівня на другому його вході.
3. Сформулюйте основні закони алгебри логіки.
4. Поясніть основні методи мінімізації логічних функцій.
5. Поясніть різницю між комбінаційними і послідовністними логічними пристроями.

Методичні вказівки

Загальна характеристика цифрових інтегральних мікросхем і їх параметри

Цифрові інтегральні мікросхеми (ЦІМС) призначені для перетворення і обробки дискретних сигналів. Основа для їх побудови – електронні ключі, які можуть знаходитись в одному із двох станів і їх дія полягає в переході із одного стану в другий під дією вхідних сигналів. Одному із двох станів ключа відповідає одне із двох фіксованих значень вихідної електричної величини (наприклад, високий або низький потенціал, наявність або

відсутність імпульсу). Так як ці величини можуть приймати два дискретних значення, вони будуть двійковими змінними.

Цифрові інтегральні мікросхеми випускають серіями, до складу кожної з яких входять мікросхеми, які мають єдине конструктивно-технологічне виконання, але які відносяться до різних підгруп і видів.

В залежності від схемотехнічної реалізації інтегральні логічні елементи (ІЛЕ) діляться на наступні типи: транзисторної логіки (ТЛ), діодно-транзисторної логіки (ДТЛ), транзисторно-транзисторної логіки (ТТЛ), транзисторної логіки на МОН- транзисторах (МОН ТЛ, КМОН ТЛ), емітерно-зв'язаної логіки (ЕЗЛ), інтегральної інжекційної логіки (І²Л).

Параметри ЦІМС підрозділяють на статичні і динамічні.

До статичних параметрів відносяться:

- вхідна $U_{\text{вх}}^0$ і вихідна $U_{\text{вих}}^0$ напруга “логічного 0”;
- вхідна $U_{\text{вх}}^1$ і вихідна $U_{\text{вих}}^1$ напруга “логічної 1”;
- вхідний $I_{\text{вх}}^0$ і вихідний $I_{\text{вих}}^0$ струми “логічного 0”;
- вхідний $I_{\text{вх}}^1$ і вихідний $I_{\text{вих}}^1$ струми “логічної 1”;
- коефіцієнт розгалуження за виходом $K_{\text{роз}}$, тобто максимальна кількість одиничних навантажень, які можна одночасно підключити до виходу мікросхеми (одиничне навантаження – один вхід основного логічного елемента даної серії інтегральних мікросхем);
- коефіцієнт об'єднання за входом $K_{\text{об}}$, який визначає число входів мікросхеми, по яким реалізується логічна функція;
- допустима напруга статичної завади $U_{\text{зав.стат}}$, яка характеризує статичну завадостійкість мікросхеми, тобто, її здатність протистояти дії заважаючого сигналу, тривалість якого перевищує час переключення мікросхеми;
- середня споживана потужність

$$P_{\text{спож.ср}} = 0,5 \left(P_{\text{спож}}^0 + P_{\text{спож}}^1 \right),$$

де $P_{\text{спож}}^0$, $P_{\text{спож}}^1$ – потужність, що споживається мікросхемою в стані відповідно “логічного 0” і “логічної 1”.

Статичні параметри визначають за допомогою статичних характеристик, які знімають при повільних змінах струмів і напруг, що дозволяє нехтувати перехідними процесами в ІЛЕ. До статичних характеристик відносяться передатна $U_{\text{вих}} = f(U_{\text{вх}})$ при $I_{\text{вих}} = 0$, зворотного зв'язку $U_{\text{вх}} = f(U_{\text{вих}})$ при $I_{\text{вх}} = 0$, вхідна $I_{\text{вх}} = f(U_{\text{вх}})$ при $I_{\text{вих}} = 0$ і вихідна $I_{\text{вих}} = f(U_{\text{вих}})$ при $I_{\text{вх}} = 0$. Друга із названих характеристик практично не використовується, тому що сигнал, який поступає із виходу ІЛЕ на його вхід, дуже малий.

На рис. 22.2, а показана передатна характеристика інвертуючих ІЛЕ (наприклад, І-НЕ, АБО-НЕ) в допущенні, що їх характеристики ідентичні. В дійсності ж спостерігається розкид указаних характеристик як за рахунок розкиду параметрів компонентів, які входять до складу ІЛЕ, так і за рахунок різності режимів окремих елементів. Тому передатна характеристика для деякої сукупності однотипних елементів уявляє собою не одну криву, а деяку область, відокремлену зверху і знизу двома граничними кривими (рис. 22.2, б).

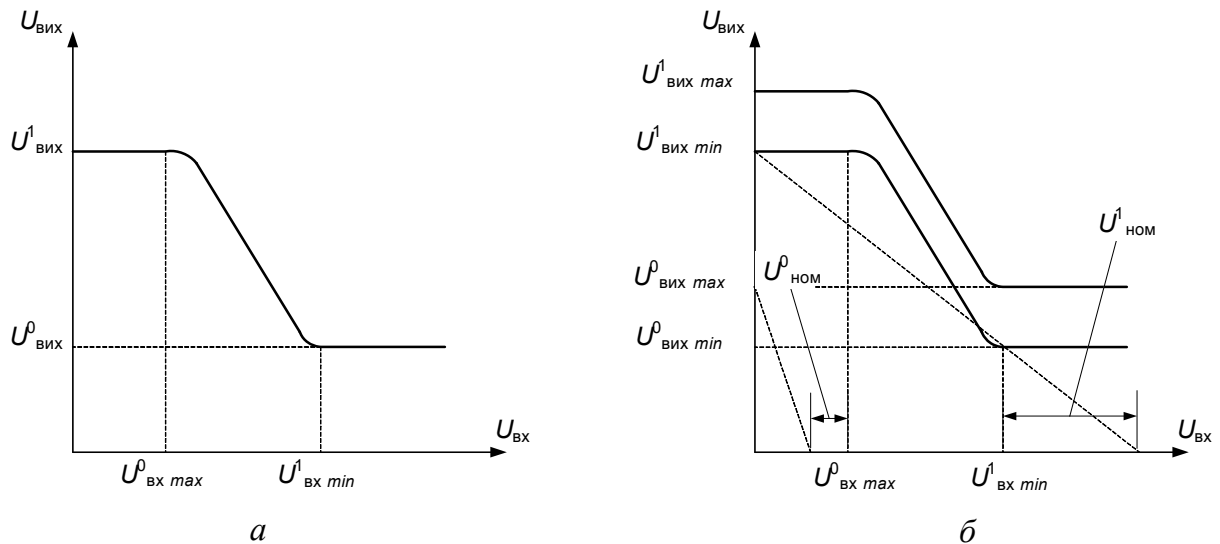


Рис. 22.2

При цьому $U^1_{\text{вих max}}$ і $U^1_{\text{вих min}}$ – максимальний і мінімальний рівні вихідного сигналу, які є хоча би у одного із елементів даного типу.

Аналогічно розглядаються $U^0_{\text{вих min}}$ і $U^0_{\text{вих max}}$.

На цьому ж графіку точками відмічені рівні вхідних сигналів:

$U^0_{\text{вх max}}$ - це такий рівень, при якому ні один із елементів даного типу не перемикається із одиниці в нуль;

$U^1_{\text{вх min}}$ – рівень вхідного сигналу, при якому на виході любого елементу даного типу зберігається сигнал нуль. По цій характеристиці можна визначити запаси завадостійкості ІЛЕ, для чого достатньо провести прямі під кутом 45° від точок перетину рівнів $U^1_{\text{вих min}}$ і $U^0_{\text{вих max}}$ з віссю ординат до перетину з віссю абсцис.

Порівнюючи отримані точки на осі абсцис зі значеннями $U^0_{\text{вх max}}$ і $U^1_{\text{вх min}}$ визначають запаси перешкодостійкості за нульовим $U^0_{\text{пер}}$ і одиничним $U^1_{\text{пер}}$ сигналом на вході.

Часові діаграми напруг на вході і виході ІЛЕ показані на рис. 22.3.

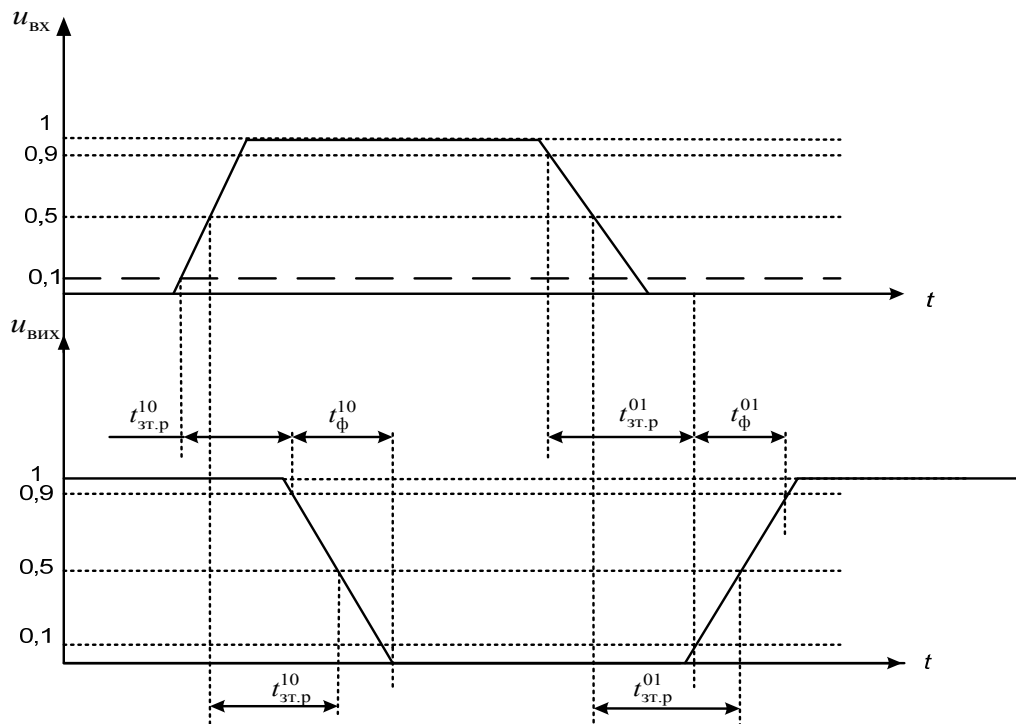


Рис. 22.3

До динамічних параметрів, які характеризують властивості мікросхеми в режимі переключення, відносяться:

- час затримки сигналу при включенні $t_{зт.р}^{10}$ – інтервал часу між вхідним і вихідним імпульсами при переході ІЛЕ від $U_{вих}^1$ до $U_{вих}^0$, виміряний або на рівні 0,5 амплітуди імпульсу, або на рівні порогу чутливості;
- час затримки сигналу при включенні $t_{зт.р}^{01}$ – інтервал часу між вхідним і вихідним імпульсами при переході ІЛЕ від $U_{вих}^0$ до $U_{вих}^1$, виміряний або на рівні 0,5 амплітуди імпульсу, або на рівні порогу чутливості;
- середній час затримки $t_{зт.р.ср} = 0,5(t_{зт.р}^{10} + t_{зт.р}^{01})$.

Інколи в якості параметрів ІЛЕ наводяться тривалості фронтів зростання і спаду вихідної напруги: $t_{ф}^{01}$ і $t_{ф}^{10}$.

Основи булевої алгебри

Якщо логічна функція f – функція n змінних, то може бути 2^n різних наборів цих змінних. Через те, що двійкові змінні $X_1, X_2, \dots, X_n$ в кожному

наборі можуть приймати два значення, то можливі $N = 2^{2^n}$ значень функції.

Найбільш проста логічна функція однієї змінної (табл. 22.1); в цьому випадку $N = 2^{2^1} = 4$.

Таблиця 22.1

$f_i(x)$	X_i		Позначення	Назва функції
	0	1		
$f_0(x)$	0	0	0	Константа 0
$f_1(x)$	0	1	X	Змінна X
$f_2(x)$	1	0	$\bar{X}$	Заперечення змінної X
$f_3(x)$	1	1	1	Константа 1

Логічна функція двох змінних ($N = 2^{2^2} = 16$) представлена в табл. 22.2.

Основні операції алгебри логіки (булевої алгебри): кон'юнкція "І", диз'юнкція "АБО" і заперечення "НЕ". Розглянемо їх.

Таблиця 22.2

$f(X_1, X_2)$	X_1	0	0	1	1	Позначення	Назва функції
	X_2	0	1	0	1		
f_0		0	0	0	0	0	Константа 0
f_1		0	0	0	1	$X_1 \cdot X_2 = X_1 \wedge X_2$	Кон'юнкція (X_1, X_2), логічний добуток, "І"
f_2		0	0	1	0	$X_1 \Delta X_2 = X_1 \cdot \bar{X}_2$	Заборона за X_2 , заперечення імплікації
f_3		0	0	1	1	X_1	Змінна X_1
f_4		0	1	0	0	$X_2 \Delta X_1 = \bar{X}_1 \cdot X_2$	Заборона за X_1
f_5		0	1	0	1	X_2	Змінна X_2

f_6		0	1	1	0	$X_1 \oplus X_2$	Сума за модулем “два”
f_7		0	1	1	1	$X_1 + X_2 = X_1 \vee X_2$	Диз’юнкція (X_1 , X_2), логічне додавання, ”АБО”
f_8		1	0	0	0	$X_1 \downarrow X_2 = \overline{X_1 + X_2}$	Стрілка Пірса, ”АБО-НЕ”,
f_9		1	0	0	1	$X_1 \sim X_2 = \overline{X_1} \cdot \overline{X_2} + X_1 \cdot X_2$	Еквівалентність
f_{10}		1	0	1	0	$\bar{X}_2$	Заперечення X_2
f_{11}		1	0	1	1	$X_2 \rightarrow X_1 = X_1 + \bar{X}_2$	Імплікація від X_2 до X_1
f_{12}		1	1	0	0	$\bar{X}_1$	Заперечення X_1
f_{13}		1	1	0	1	$X_1 \rightarrow X_2 = \bar{X}_1 + X_2$	Імплікація від X_1 до X_2
f_{14}		1	1	1	0	$X_1 / X_2 = \overline{X_1 \cdot X_2}$	Штрих Шеффера, ”І-НЕ”
f_{15}		1	1	1	1	1	Константа 1

Основні закони алгебри логіки

1. Комутативний закон: $a \cdot b = b \cdot a$; $a + b = b + a$.
2. Асоціативний (сполучний) закон: $a \cdot (b \cdot c) = (a \cdot b) \cdot c = a \cdot b \cdot c$;
 $a + (b + c) = (a + b) + c = a + b + c$.
3. Дистрибутивний (розподільний) закон: $a \cdot (b + c) = a \cdot b + a \cdot c$;
 $a + b \cdot c = (a + b) \cdot (a + c) = a \cdot a + a \cdot b + a \cdot c + b \cdot c = a + a \cdot b + a \cdot c + b \cdot c = a \cdot (1 + b + c) + b \cdot c = a + b \cdot c$.
4. Закон поглинання: $a + ab = a \cdot (1 + b) = a$; $a \cdot (a + b) = a$.
5. Закон склеювання: $a \cdot b + a \cdot \bar{b} = a$; $(a + b) \cdot (a + \bar{b}) = a$.
6. Закон де Моргана (інверсії):
 $\overline{a + b} = \bar{a} \cdot \bar{b}$ - інверсія диз’юнкції є кон’юнкцією інверсій;
 $\overline{a \cdot b} = \bar{a} + \bar{b}$ - інверсія кон’юнкції є диз’юнкцією інверсій.
7. Закон подвійної інверсії: $\overline{\bar{a}} = a$.
8. Правило множення на 1 та 0: $a \cdot 1 = a$; $a \cdot a = a$; $a \cdot 0 = 0$.
9. Правило складання з 1 та 0: $a + 1 = 1$; $a + a = a$; $a + 0 = a$.
10. Закон протиріччя: $a \cdot \bar{a} = 0$.
11. Закон виключення третього: $a + \bar{a} = 1$. 12. Сталі (const): $\bar{1} = 0$; $\bar{0} = 1$.

Лабораторна робота № 27

ГЕНЕРАТОРИ ПИЛКОПОДІБНОЇ НАПРУГИ

До генераторів пилкоподібної напруги (ГПН) відносять функціональні вузли дискретної схемотехніки, що забезпечують формування імпульсів напруги (або струму) з лінійним законом зростання і спаду. Вони широко застосовуються в пристроях розгортання, перетворювачах час - амплітуда, знакогенераторах, та ін.

За методом керування ГПН поділяються на очікувальні та автоколивальні. Очікувальні ГПН забезпечують одержання лінійно змінюваного у часі сигналу, тривалість і амплітуда якого залежать від тривалості керуючого сигналу. Параметри вихідного сигналу очікувального ГПН не залежать від параметрів вхідного сигналу, котрий повинен забезпечити лише надійний запуск схеми. Частота вихідних сигналів очікувального ГПН визначається частотою запускаючих імпульсів. Параметри вихідних сигналів (амплітуда, тривалість, лінійність, частота проходження) автоколивальних ГПН визначаються параметрами компонентів схеми і напруг джерел живлення. Очікувальні і автоколивальні ГПН будуються на основі спускових релаксаційних схем з додатними зворотними зв'язками (ДЗЗ).

Принцип формування лінійно змінюваної в часі напруги, частіше всього заснований на заряді (розряді) конденсатора стабільним струмом. Схемні розходження ГПН пов'язані з реалізацією генераторів стабільного струму (ГСС) і використовуваними активними компонентами (транзисторами, тиристорами, ОП). Основний якісний показник ГПН - коефіцієнт нелінійності робочої ділянки сигналу:

$$\Gamma = \left(\left| \frac{dU_2}{dt} \right|_{\max} - \left| \frac{dU_2}{dt} \right|_{\min} \right) / \left| \frac{dU_2}{dt} \right|_{\max}.$$

Автоколивальний генератор пилкоподібної напруги на основі операційного підсилювача

Мета роботи - дослідити схемні особливості і принцип роботи автоколивального ГПН на основі операційного підсилювача (ОП), визначити параметри коливальних і дослідити вплив на них параметрів компонентів схеми.

Опис досліджуваної схеми

Досліджуваний ГПН побудований на основі ОП (рис. 27.1). Схема підключається до джерела живлення за допомогою перемикача $S3$ і працює

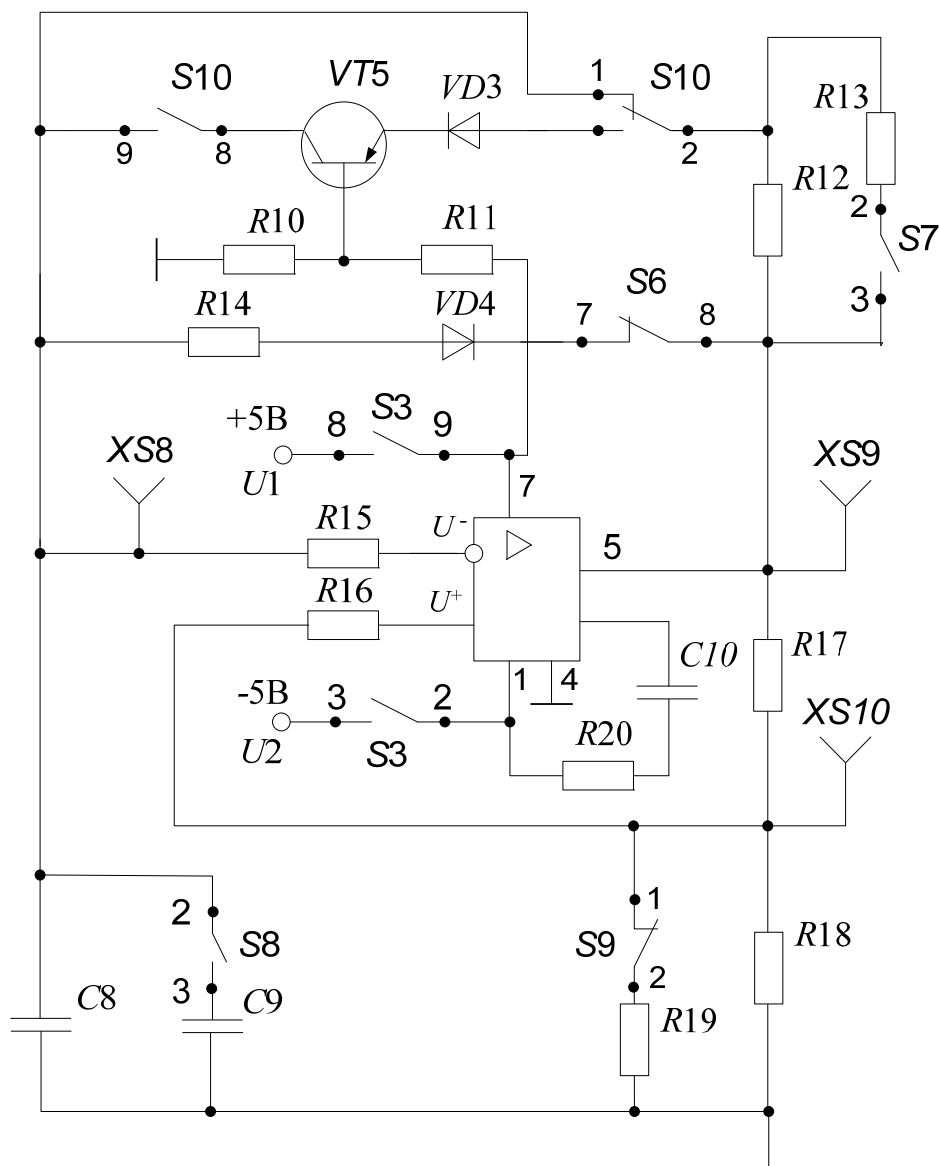


Рис. 27.1

в режимі самозбудження без зовнішнього запуску або синхронізації. Структурно даний ГПН являє собою мультивібратор на ОП, охоплений неінерційним ДЗЗ ($R17-R19$) і відстаючим ВЗЗ з виходу ОП ($XS9$) на інвертуючий вхід ($XS8$). У колі ВЗЗ включений конденсатор $C8(C9)$ з керованим колом перезаряду. При позитивному рівні потенціалу на виході ОП конденсатор $C8$ перезаряджається через ГСС на основі $VT5$ і напруга на ньому змінюється в часі за лінійним законом. Швидкий зворотний перезаряд конденсатора $C8$ відбувається через резистор $R14$ і діод $VD4$ при негативному рівні напруги на виході ОП. При цьому напруга на конденсаторі $C8$ змінюється за експонентним законом. Перемикачем $S10$ ГСС може бути включений або виключений з кола перезаряду накопичувального конденсатора $C8$ при негативному рівні напруги на

виході ОП. Перемикач $S8$ дозволяє змінювати ємність накопичувального конденсатора і, отже, крутість лінійної ділянки вихідного сигналу. Перемикачем $S9$ можна змінювати коефіцієнт передачі в колі ДЗЗ і амплітуду пилкоподібного сигналу, що формується на конденсаторі $C8$ (точка $XS8$). На виході ОП ($XS9$) формується періодичний сигнал прямокутної форми.

Робоче завдання

1. Зняти за допомогою осцилографа в режимі зовнішньої синхронізації тимчасові діаграми напруг у контрольних точках $XS8$ - $XS10$; $S10$ - замкнутий. По побудованих діаграмах визначити основні параметри пилкоподібного сигналу: частоту генерації $f_{\text{ген}}$, амплітуду пилкоподібного сигналу U_m , тривалість прямого $t_{\text{пр}}$ і зворотного $t_{\text{зв}}$ ходу.
2. Дослідити вплив ємності накопичувального конденсатора на параметри генеруемого пилкоподібного сигналу (перемикач $S8$).
3. Дослідити вплив коефіцієнта передачі в колі ДЗЗ на параметри пилкоподібного сигналу (перемикач $S9$).
4. Дослідити вплив емітерного опору транзистора $VT3$ (перемикач $S7$) на параметри пилкоподібного сигналу.

Контрольні запитання

1. Поясніть принцип дії ГПН на основі ОП та призначення компонентів його схеми.
2. У яких режимах перебуває ОП на різних етапах періоду генерованих коливань?
3. За рахунок чого здійснюється в ГПН плавне регулювання частоти вихідного сигналу?
4. Від яких елементів схеми залежить амплітуда імпульсів ГПН?

Методичні вказівки

Інтегруюче включення ОП, що забезпечує одержання вихідної напруги, пропорційної інтегралу від вхідної напруги, припускає включення конденсатора в коло ВЗЗ. Тому генератори пилкоподібної напруги на ОП будують за принципом генераторів із ЗЗ, що інтегрують постійну напругу джерела живлення, яка для них є вхідною. На рис. 27.2, а показана схема генератора пилкоподібної напруги з інтегруючим RC - колом, включеним в коло ВЗЗ ОП. Часові діаграми вхідної і вихідної напруг генератора зображені на рис. 27.2, б.

Схема керується вхідними імпульсами позитивної полярності, які

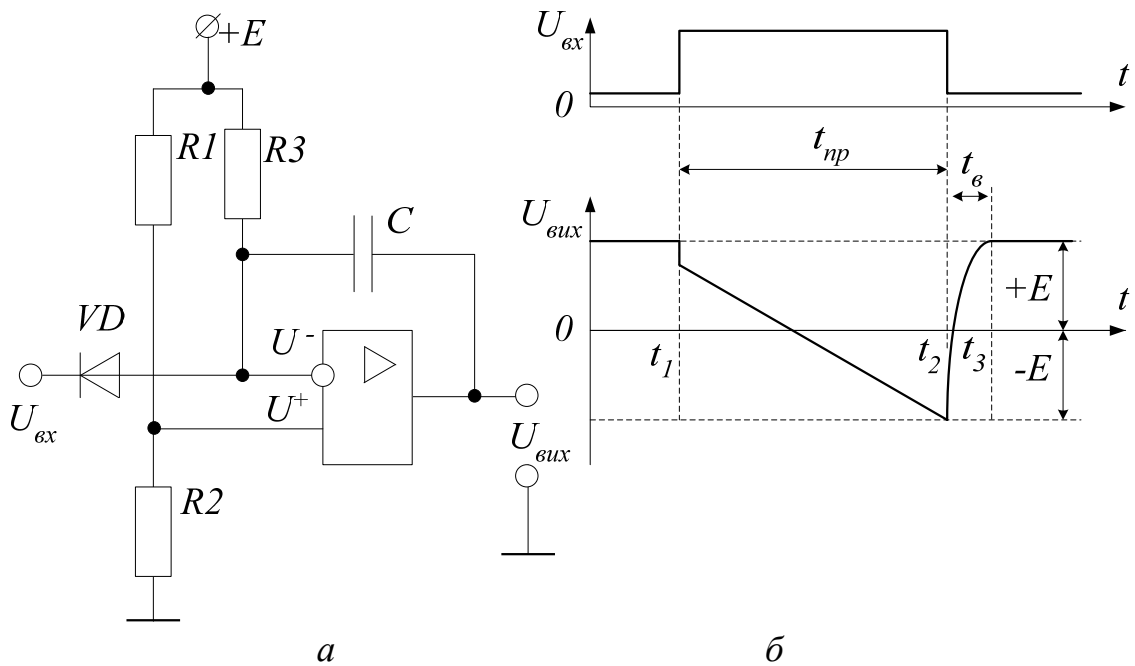


Рис. 27.2

подають на інвертуючий вхід підсилювача через діод VD і відключають схему від спільної шини на час їх тривалості.

До подачі керуючого імпульсу (відрізок часу $0-t_1$ - рис. 27.1, б) напруга на інвертуючому вході, U^- позитивна, однак незначно перевищує нульовий рівень. Напруга на неінвертуючому вході $U^+ = \beta E$, де $\beta = R2/(R1 + R2)$. Значення β за рахунок обраного співвідношення між опорами резисторів $R1$ і $R2$ задається таким чином, щоб рівень U^+ забезпечував стан ОП в режимі обмеження, при якому $U_{вих} \approx E$. Конденсатор інтегратора заряджений до напруги джерела E .

Позитивний імпульс, впливаючи на вхід генератора в момент часу t_1 , запирає діод VD . При цьому напруга на інвертуючому вході U^- росте до рівня, який забезпечує перехід підсилювача в активний режим, а напруга на виході стрибком незначно зменшується. Конденсатор C починає розряджатися через резистор $R3$. Оскільки ОП має нескінченно велике значенням коефіцієнта підсилення K_U , то струм розряду конденсатора, включеного в коло ВЗЗ, не є постійним і у процесі розряду незначно зменшується. Тому напруга U^- незначно збільшується, викликаючи на виході в K_U разів більше зменшення вихідної напруги. Якщо розрахункове співвідношення між сталою часу інтегруючого кола $\tau=RC$ і тривалістю

робочого ходу задовольняє умові $RC = 0,5t_{np}$, то за час тривалості імпульсу конденсатор повністю розрядиться до нуля і перезарядиться до напруги $-E$.

Після закінчення в момент часу t_2 керуючого імпульсу діод VD відкривається, напруга на інвертуючому вході U^- стрибкоподібно зменшується до вихідного рівня, а конденсатор швидко розряджається через відкритий діод і вихідний опір підсилювача до нуля і заряджається до вихідної напруги E . Час відновлення генератора $t_B = 5C(r_{VD} + R_{вих})$, де r_{VD} - опір відкритого діода VD ; $R_{вих}$ - вихідний опір ОП.

Коефіцієнт нелінійності пилоподібної напруги $\gamma = 1/K_U$ визначається підсилювальними властивостями ОП, а напруга у часі протягом тривалості робочого ходу лінійно падає.

Генератор лінійно наростаючої пилоподібної напруги можна одержати, якщо інтегруюче RC коло включити в коло ДЗЗ ОП (рис. 27.3, а).

При відсутності вхідного керуючого імпульсу (відрізок часу $0 - t_1$, рис. 27.3, б) $U_{вх} \approx 0$, діод VD відкритий, напруга на неінвертуючому вході $U^+ = 0$ і конденсатор розряджений ($U_C(0) = 0$).

Напруга на інвертуючому вході U^- , при відповідним чином

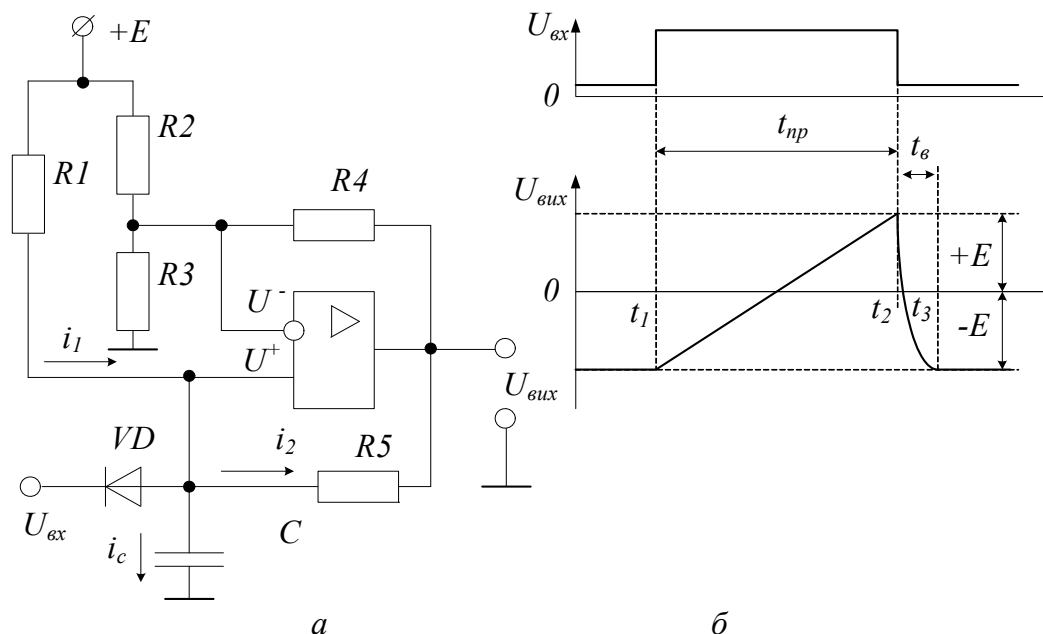


Рис. 27.3

розрахованих опорних дільників на резисторах $R2-R4$, задається такого рівня, при якому ОП перебуває в режимі обмеження $U_{вих} \approx -E$.

Вхідний керуючий імпульс, поданий на вхід схеми в момент часу t_1 , запирає діод VD і конденсатор C , з урахуванням що $U_C(0) \approx 0$ і $U_{\text{вих}} = -E$, починає заряджатися струмом $I_C = i_1 - i_2 = E/R_1 - E/R_5$. Якщо відповідним чином розрахувати параметри елементів схеми генератора, щоб $\Delta i_1 = \Delta i_2$, то $I_C = \text{const}$ і конденсатор буде заряджатися незмінним струмом. При цьому напруга $U_{\text{вих}}$ лінійно зростає і наприкінці робочого ходу досягає значення $+E$. У момент закінчення керуючого імпульсу ($t = t_2$) діод VD різко відкриється і конденсатор з великою швидкістю розрядиться. Вихідна напруга впаде до рівня $-E$. Час відновлення вихідного стану схеми $t_B = 5C(r_{VD} + R_{\text{вих}})$.

Лабораторна робота № 28

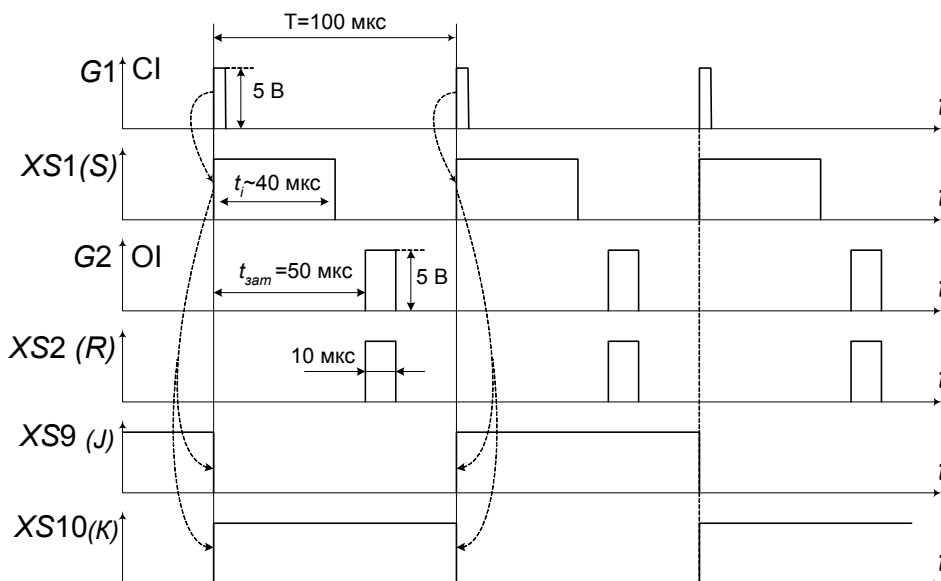
ТРИГЕРИ

Мета роботи - ознайомитися з принципом побудови та логікою роботи тригерів на інтегральних логічних елементах; визначити їх основні параметри.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем ТГ, генератор прямокутних імпульсів Г5-54 і осцилограф CI-55.

Досліджувані схеми *RS*-, *S*- і *D*- тригерів побудовані на мікросхемах *DD3*, *DD4*, *JK*- тригери - на мікросхемах *DD5*... *DD8* (рис. 28.1). *RS*-, *S*- і *JK*- тригери підключаються до джерела живлення перемикачами *S1*, *S2*, а *JK*- тригери - перемикачем *S9*. Мікросхеми *DD1*, *DD2*, *DD9* формують з імпульсів, які надходять від генератора Г5-54 на роз'єми *G1* й *G2*, синхроімпульси (*CI*) і основні імпульси (*OI*), керуючі сигнали виду *XS1 (S)*, *XS2 (R)*, *XS9 (J)*, *XS10 (K)*:



Робоче завдання

1. Вказівка. Встановити на генераторі Г5-54 частоту імпульсів $f=10$ кГц: основний імпульс (*OI*) позитивної полярності з амплітудою не більше 5 В і тривалістю $t_i=10$ мкс, затриманий на $t_{\text{зам}}=50$ мкс відносно синхроімпульсу (*CI*) позитивної полярності з амплітудою також не більше 5 В. Використати зовнішню синхронізацію осцилографа сигналом *XS10*.

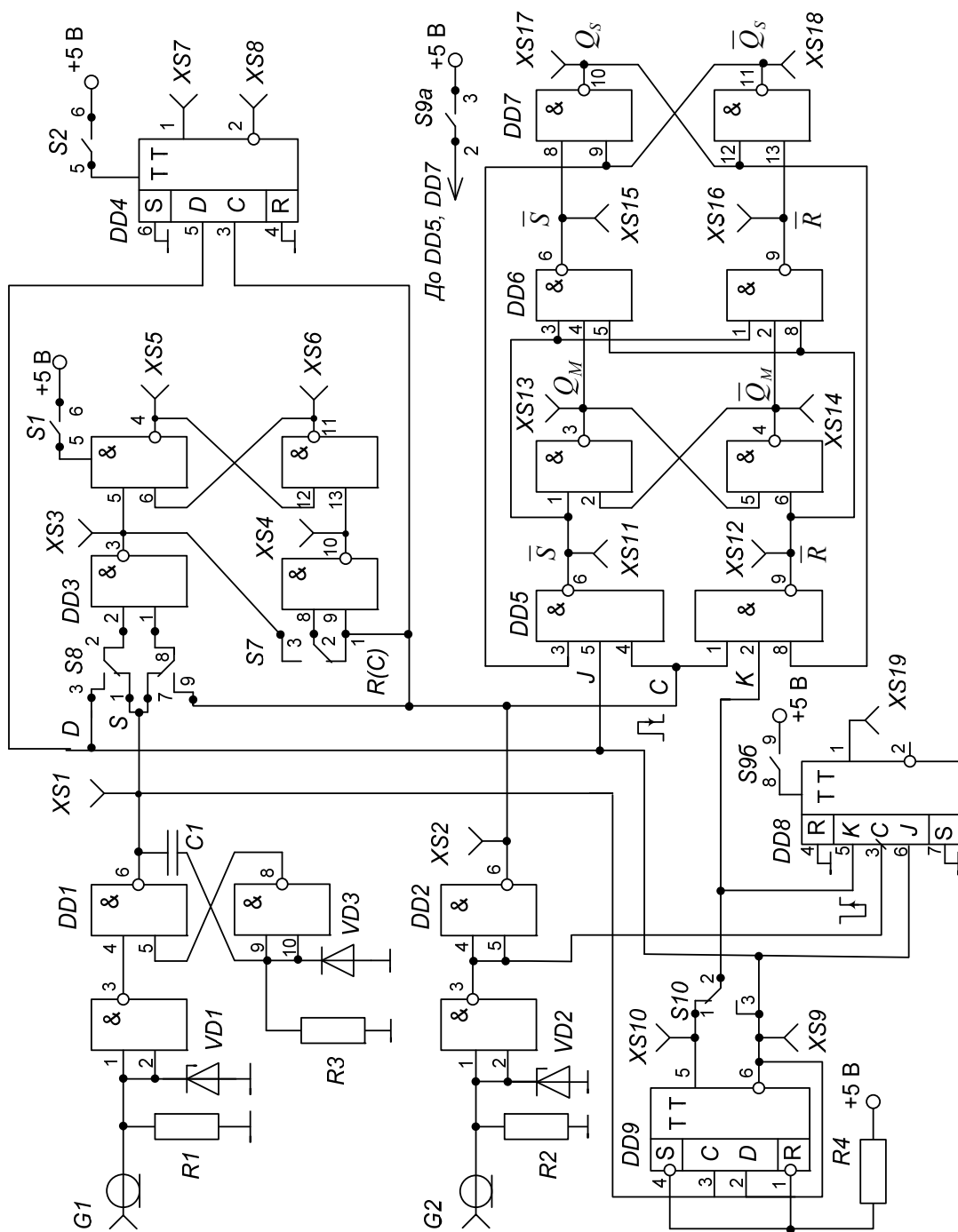


Рис. 28.1. Тригери на цифрових інтегральних мікросхемах

2. Дослідити RS- тригер. Зняти й побудувати часові діаграми (гнізда XS1-XS6) роботи RS- тригера при $R(XS2)S(XS1) \neq 1$ і $RS=1$ (для цього затримку основного імпульсу потрібно зменшити так, щоб сигнал $R(XS2)$ увійшов у зону сигналу $S(XS1)$). Визначити час затримки $t_{\text{зат}}^{10}$ перемикання тригера зі стану "1" в "0".

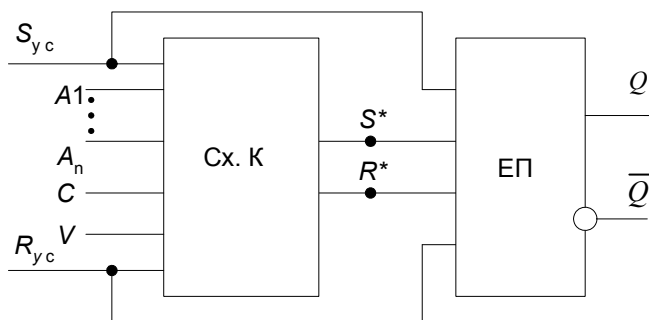
3. Дослідити S- тригер (S7- нажати) при $R(XS2) S(XS1)=1$.

4. Дослідити D- тригер (S7, S8, S2 – нажати), зібраний на логічних елементах DD3 і на мікросхемі DD4. Зняти й побудувати часові діаграми (гніздо XS9 - сигнал D; XS2 - сигнал C, XS3÷XS8). Визначити $t_{\text{зат}}^{10}$ і $t_{\text{зат}}^{01}$.

5. Дослідити JK- тригер (S9 – нажати), зібраний на логічних елементах DD5,..., DD7 і на мікросхемі DD8. Зняти й побудувати часові діаграми (гнізда XS2 - сигнал C, XS9 - сигнал J, XS10 - сигнал K, XS11,..., XS19) в разі $JK \neq 1$ і $JK=1$ (S10- нажати тільки для JK- тригера на DD8). Визначити $t_{\text{зат}}^{10}$ і $t_{\text{зат}}^{01}$.

Контрольні питання

1. Дати визначення тригера, призначення входів і виходів.
2. Класифікація логічних структур тригерних схем.
3. Пояснити роботу асинхронного RS- тригера на логічних схемах І-НЕ.
4. Яка відмінність RS-тригера з прямими входами від RS-тригера з інверсними входами.
5. Пояснити роботу S- тригера і його відмінність від RS- тригера.
6. Пояснити роботу D- тригера на логічних схемах І-НЕ.
7. Пояснити роботу асинхронного JK- тригера та його відмінність від RS- тригера.
8. Пояснити роботу синхронного двоступеневого JK- тригера.



Методичні вказівки

Тригер - це послідовісний пристрій (ПП) з двома стійкими станами, що містить елемент пам'яті (власне тригер) ЕП і схему

керування Сх.К, у якого вихідні сигнали залежать не тільки від входніх сигналів, прикладених у даний момент часу, але й від попереднього його стану. Тригерний пристрій має інформаційні

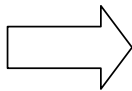
$A_1 \dots A_n$ входи, синхронізуючий (тактовий) вхід C , дозволяючий вхід V , установлювальні входи S_{yc} , R_{yc} , інформаційні входи ЕП S^* і R^* , два взаємно інверсні виходи Q і $\bar{Q}$.

Стан тригера, у якому напруга на виході Q висока U_a^1 , позначимо "1", а стан тригера, у якого напруга на виході Q низька U_a^0 , - "0". При надходженні інформаційного сигналу на вхід S^* (*Set* - встановлювати) тригер установлюється в стан "1" (тобто $Q=1$, $\bar{Q}=0$). При надходженні інформаційного сигналу на вхід R^* (*Reset* - відновлювати) тригер установлюється в стан "0" (тобто $Q=0$, $\bar{Q}=1$).

За способом функціонування розрізняють наступні типи тригерів: *RS*; *S*; *R*; *D*; *E*; *JK*. За способом запису інформації тригери поділяються на асинхронні і синхронні (тактовні). В асинхронних тригерах запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід, а у синхронних - при подачі дозволяючого (тактового, синхронізуючого) імпульсу на C вхід за рівнем чи за фронтом 1/0 (0/1). Тригери, синхронізуючі рівнем, можуть змінювати свій стан протягом тривалості синхроімпульсу (рівня синхросигналу) при надходженні відповідних інформаційних сигналів $A_1 \dots A_n$, тобто, можуть перемикатися кілька разів за час дії одного синхроімпульсу. Під час паузи між синхроімпульсами стан такого тригера зберігається при будь-яких змінах керуючих сигналів. Тригери, синхронізовані фронтом, змінюють свій стан при надходженні на синхронізуючий вхід відповідного фронту 1/0 (0/1) синхроімпульсу, а при наступній дії рівня синхроімпульсу цей стан зберігається при будь-яких змінах керуючих сигналів $A_1 \dots A_n$. За час дії одного синхроімпульсу тригер, синхронізований фронтом, може перемикатися тільки один раз.

Таблиця 28.1, а

t_n			t_{n+1}
R_n	S_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*



Таблиця 28.1, б

t_n		t_{n+1}
R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	*

Умовні літерні позначення тригерів: *JK*-типу - ТВ; *RS*-типу - ТР; *D*-типу - ТМ; *T*-типу - ТТ.

Тригери *RS*-типу.
RS-тригером називають ПП з двома стійкими станами, що мають два інформаційних входи S і R такі, що в разі $S = 1$ а $R = 0$,

тригер приймає стан "1" ($Q = 1$), а в разі $R = 1$ а $S = 0$ - стан "0" ($Q = 0$). Закон функціонування тригера RS - типу можна описати повною таблицею переходів 28.1,а, або спрощеною таблицею 28.1, б.

Як видно з табл. 28.1, а, при одночасному надходженні на входи R і S логічної "1" тригер приймає невизначений стан (*), тому комбінація сигналів $RS=1$ для RS - тригера є забороненою.

Логічне рівняння RS - тригера має вигляд

$$Q_{n+1} = S_{n+1} + \bar{R}_{n+1} \cdot Q_n.$$

Це рівняння можна реалізувати на елементах АБО-НЕ чи І-НЕ, для чого його необхідно перетворити у відповідний базис, використовуючи аксіому подвійного заперечення і теорему де-Моргана:

$$\begin{aligned}\bar{Q}_{n+1} &= \overline{S_{n+1} + \bar{R}_{n+1} \cdot Q_n} = \overline{S_{n+1}} \cdot \overline{\bar{R}_{n+1} \cdot Q_n} = \bar{S}_{n+1} \cdot (R_{n+1} + Q_n); \\ Q_{n+1} &= \overline{\bar{S}_{n+1} \cdot (R_{n+1} + Q_n)} = \overline{\bar{S}_{n+1}} + \overline{R_{n+1} + Q_n} = S_{n+1} + \bar{R}_{n+1} \cdot \bar{Q}_n.\end{aligned}$$

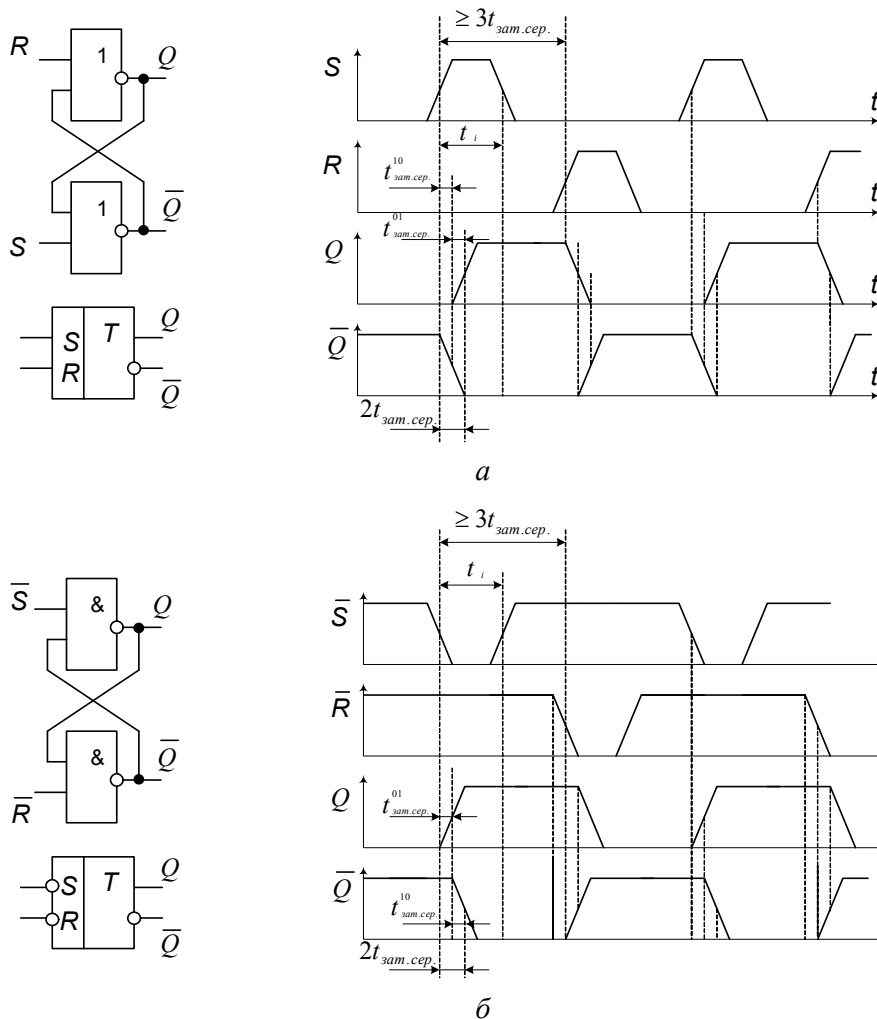


Рис. 28.2

Схеми асинхронних RS - тригерів на логічних елементах АБО-НЕ і І-НЕ, їх умовні зображення та часові діаграми приведені на рис. 28.2, а, б.

Для RS - тригера на ЛЕ І-НЕ є забороненою комбінація $\bar{R} + \bar{S} = 0$.

Для сталого функціонування тригера довжина сигналів t_i на входах R і S повинна бути більшою ніж загальна затримка перемикання ЛЕ обох пліч тригера, тобто

$$t_i > 2t_{\text{зат.сер.}} + t_{\text{зат.сер.}}^{10} + t_{\text{зат.сер.}}^{01}$$

Максимальна робоча частота перемикання ($f_{\text{макс}} = 1/3t_{\text{зат.сер.}}$) визначається мінімально допустимим часовим інтервалом між послідовними вхідними сигналами мінімальної довжини (якщо $t_i > 2t_{\text{зат.сер.}}$), які надходять по чергові на входи R і S тригера.

RS - тригери є базовими елементами більш складних тригерних пристроїв.

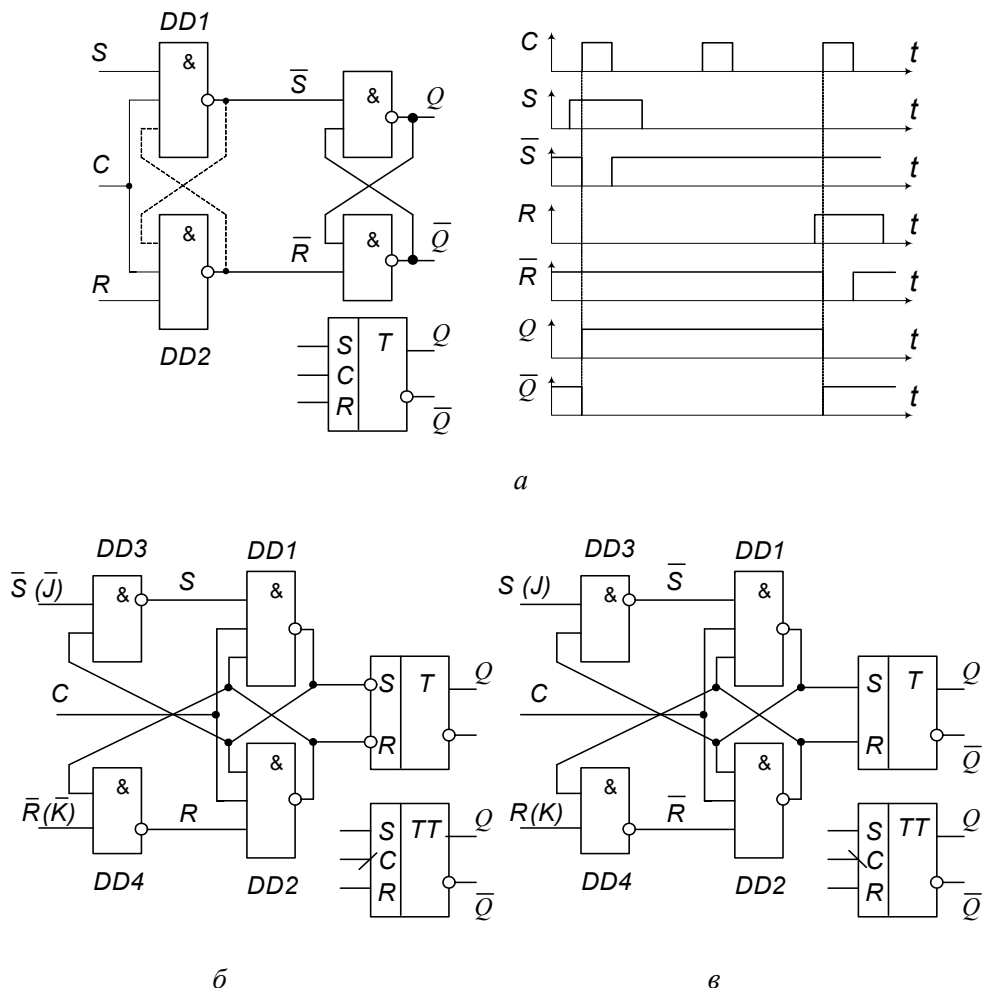


Рис. 28.3

Синхронні RS –тригери, які синхронізуються рівнем (рис. 28.3, а), мають на вході кожного плеча додаткові схеми збігу, одні входи яких об'єднані і служать входом C для тактових (синхронізуючих) імпульсів $/TI/$, інші входи схем збігу є інформаційними входами запису "1" (S) і "0" (R). Таким чином, інформація, що надходить на вхід S або R , може бути передана на тригер тільки в разі надходженні тактового імпульсу. При комбінації сигналів $SC=1 \rightarrow Q=1$; $RC=1 \rightarrow Q=0$, а комбінація $RSC=1$ - заборонена. Цей недолік можна виключити введенням перехресних зв'язків, зображених на мал. 28.3, а пунктиром, тому що в разі $S=R=C=1$ рівень логічного "0" на виходах $DD1$ і $DD2$ не може з'явитися строго в той самий момент часу. При $C=1$ у будь-який момент часу тригер реагує на рівні, що діють на інформаційних входах S і R .

Для одержання синхронного RS-тригера, синхронізованого фронтом, досить доповнити схему елементами І-НЕ і зв'язками (рис. 28.3, б). В разі, якщо $\bar{S}=0$ а $\bar{R}=1$ і зміненні рівня сигналу на вході C з "0" на "1" на виході елемента $DD1$ утвориться рівень "0". Цей рівень подається на вхід елемента $DD3$, забезпечуючи на його виході рівень "1" незалежно від наступних значень рівня на вході S . Таким чином, відбувається логічне відключення входу $\bar{S}$, і ніякі наступні зміни рівнів на входах $\bar{S}$ і $\bar{R}$ тригером не сприймаються, поки на вході C не відбудеться новий перехід рівнів з "0" на "1". На мал. 28.3, в зображена схема синхронного RS- тригера на елементах АБО-НЕ, синхронізуючого фронтом з "1" на "0".

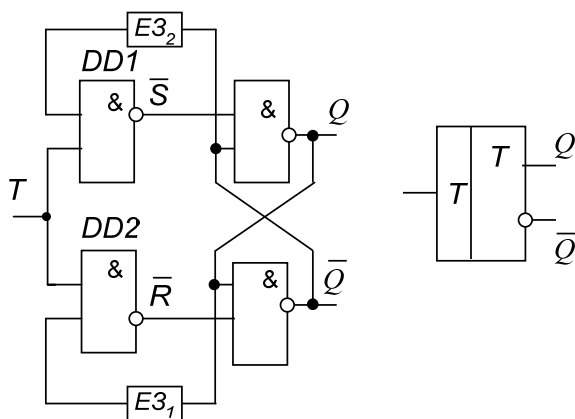


Рис. 28.4

Тригери T -типу. T -тригером (лічильним тригером) називають ПП з двома стійкими станами та одним інформаційним T -входом. T - тригер змінює свій стан на протилежний після надходження

кожного лічильного імпульсу на T вхід. Логіка роботи асинхронного T -тригера подана таблицею переходів (табл. 28.2) і описується логічним рівнянням

$$Q_{n+1} = \bar{T}_n Q_n + T_n \bar{Q}_n .$$

Схема T -тригера на елементах І-НЕ на основі синхронного RS-тригера зображена на рис. 28.4.

Таблиця 28.2

T_n	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

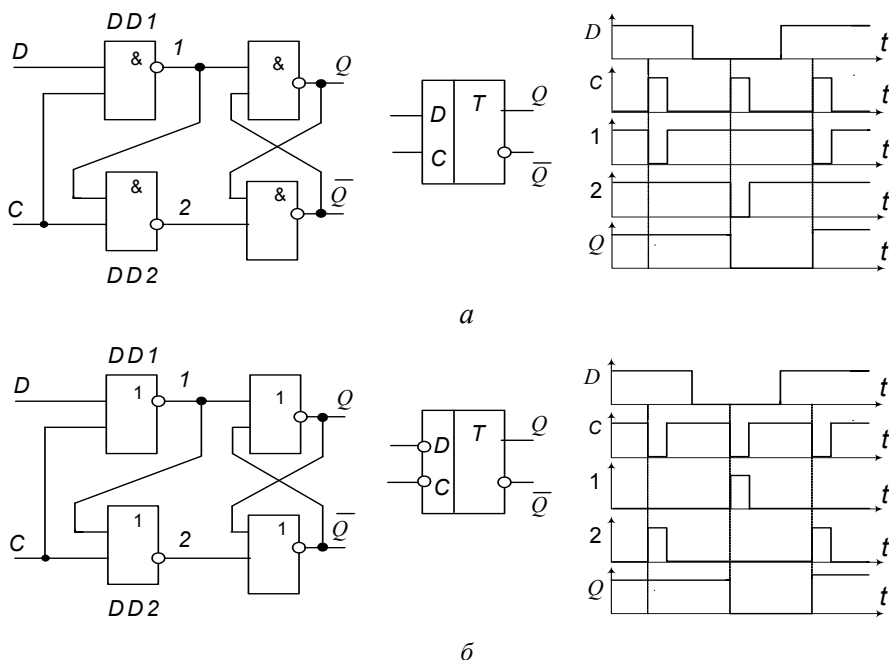
Елементи затримки (ЕЗ), включені в кола зворотних зв'язків між виходами тригерів і їхніми інформаційними входами, забезпечують роботу схем при затримці сигналу t_3 у ЕЗ більше тривалості тактового імпульсу t_i : $t_{31(2)} > t_i > 2t_{\text{зат.сер.}}$.

Тригер D - типу (тригер затримки) - це ПП з двома стійкими станами, одним інформаційним входом D (*delay* – затримка) і одним тактовим входом C . Схема D -тригера зображена на рис. 28.5, а синхронізується сигналом логічної "1", а схема D -тригера на рис. 28.5, б – сигналом логічного "0". Таблиця переходів D - тригера синхронізованого сигналом логічної «1» приведена в табл. 28.3.

Таблиця 28.3

C_{n+1}	D_n	Q_n	Q_{n+1}
0	0	0	0
0	1	0	0
1	0	1	0
1	1	1	1

Стан прямого виходу Q повторює стан входу D після надходження



тактового імпульсу, тобто в наступному такті.

Тригери JK - типу. JK -тригер має два інформаційні входи J і K та вхід синхронізації C . Якщо $J \cdot K = 1$, то тактовий імпульс

Рис. 28.5

здійснює інверсію попереднього стану (тобто, при $J \cdot K = 1$, $Q_{n+1} = \overline{Q}_n$), а в інших випадках функціонує як RS -тригер, при цьому вхід J еквівалентний входу S , а вхід K - входу R . Логічне рівняння JK -тригера має вигляд $Q_{n+1} = \overline{K}_n Q_n + J_n \overline{Q}_n$. Найпростіший

Таблиця 28.4

C	J_n	K_n	Q_{n+1}
0	*	*	Q_n
1	0	0	Q_n
1	0	1	0
1	1	0	1
1	1	1	$\overline{Q}_n$

варіант JK -тригера зображений на рис. 28.6, а; реалізація JK - тригера на елементах І та І-НЕ - на рис. 28.6, б. При

надходженні на вхід J або K сигналу логічної "1" тригер через відповідну схему збігів устанавлюється в одиничний, якщо $J=1$, чи нульовий, якщо $K=1$, стан.

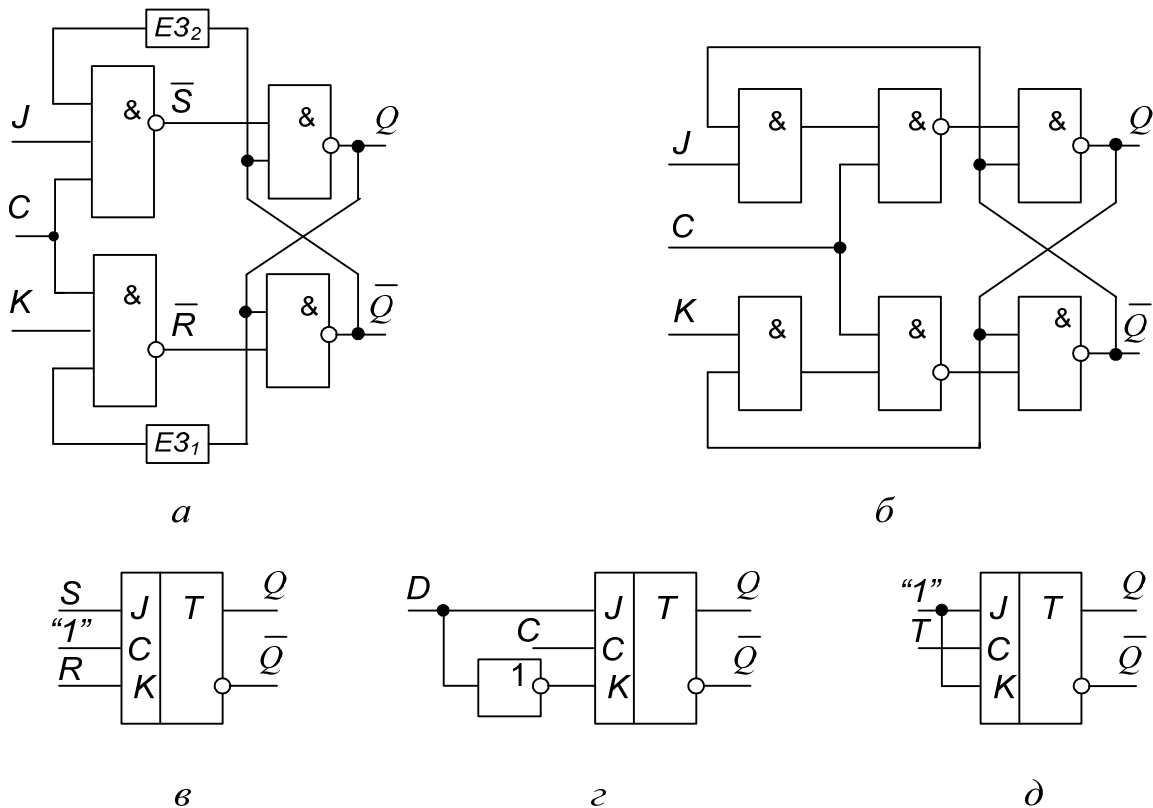


Рис. 28.6

В разі $JK=1$ тригер завжди переходить у протилежний стан: $Q_{n+1} = \overline{Q}_n$, тобто в даному випадку принцип роботи JK -тригера аналогічний роботі тригера T -типу (див. рис. 28.4). Тригер JK -типу відноситься до розряду універсальних тригерів, оскільки він може функціонувати як RS -, D - і T - тригери (рис. 28.6, в-д). На рис. 28.3, б зображена схема синхронного JK - тригера на елементах І-НЕ, синхронізуючого фронтом з "0" на "1", а на рис. 28.3, в - на елементах АБО-НЕ, синхронізуючого фронтом з "1" на "0".

Порядок роботи JK -тригера визначає таблиця станів (табл. 28.4).

В регістрових і лічильних схемах широко використовуються двоступеневі тригерні пристрої (ДТП), як правило, виконані на основі синхронних тригерів RS -, D -, і JK - типів за схемою «М-S». У відповідності з цим методом ДТП виконуються на двох тригерах – M (*Master* – основний) і S (*Slave* – допоміжний). Основний тригер M приймає інформацію, а допоміжний тригер S фіксує стан ДТП. При

цьому основний і допоміжний тригери можуть бути або однотипними (обидва тригери RS - або D - типу), або різнотипними.

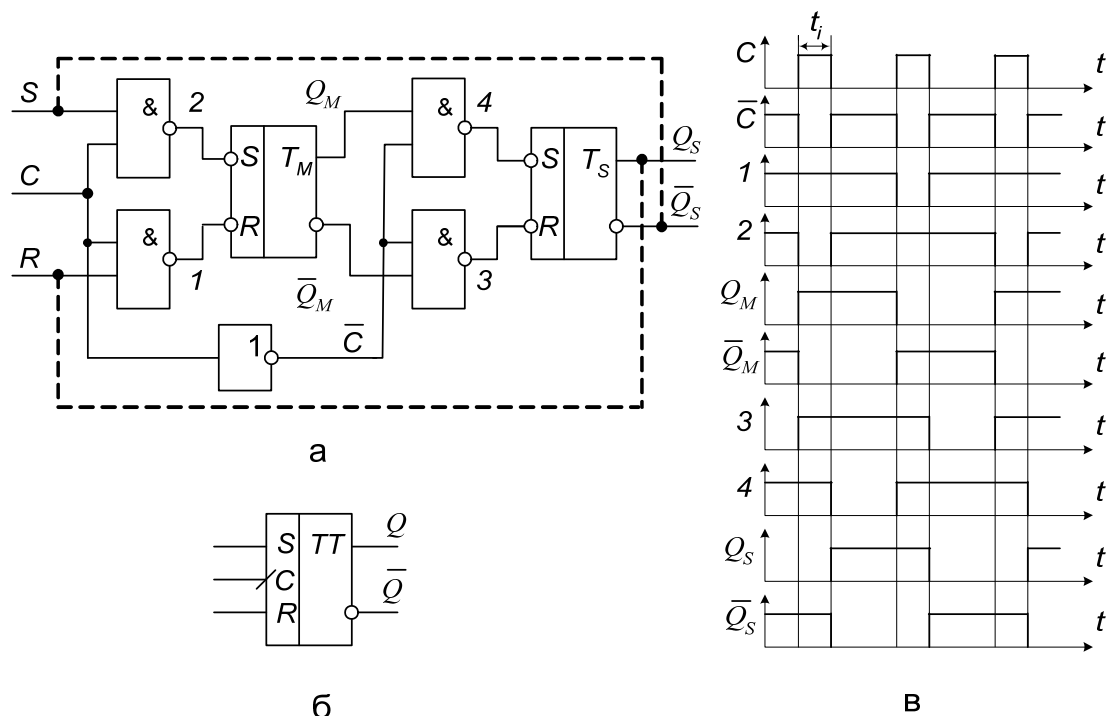


Рис. 28.7

Двоступеневі тригери RS -типу. Один із варіантів схеми ДТП RS -типу, побудованого за схемою « M - S », зображений на рис. 28.7. Особливість цієї схеми є в тому, що в коло між основним T_M -тригером і допоміжним T_S -тригером включається інвертор, який забезпечує однотактний режим ДТП і виконує блокування перезапису інформації в допоміжний тригер під час запису інформації в основний тригер. При цьому RS -тригер синхронізується сигналом C логічної «1». Для запису в тригер «1» ($Q_S=1$) на його входи необхідно подати комбінацію сигналів $S=1$, $R=0$. При надходженні тактового імпульсу $C=1$ (за його переднім фронтом 0/1) основний тригер по входу $\bar{S}$ встановиться у стан «1», а допоміжний тригер залишиться у початковому стані «0» ($Q_S=0$). Після закінчення синхроімпульсу $C=0$ (за його заднім фронтом 1/0) на виході інвертора через проміжок часу $\Delta t = t_{\text{зат.сер.}}$ з'явиться рівень «1» і допоміжний тригер прийме стан основного. Для запису в тригер стану «0» ($Q_S=0$) на його входи необхідно подати комбінацію сигналів $R=1$ і $S=0$. Комбінація сигналів $R=S=C=1$ для двоступеневого RS -тригера є заборонена. Для сталої роботи схеми необхідно, щоб довжина тактового імпульсу була $t_i \geq 3t_{\text{зат.сер.}}$.

Для побудови T - тригера на основі двоступеневого RS - тригера виходи Q_s і $\bar{Q}_s$ підключають відповідно до входів R і S , а на тактовий вхід C подають лічильні імпульси. Робота T - тригера аналогічна роботі двоступеневого RS - тригера, тільки у даному випадку роль інформаційних сигналів виконують сигнали з виходів Q_s і $\bar{Q}_s$ допоміжного тригера. При цьому кожний лічильний імпульс забезпечує переведення основного тригера у стан, протилежний допоміжному, а після закінчення дії імпульсу на вході C допоміжний тригер приймає стан основного. Швидкодія ДТП типів RS і T визначається, в разі $t_i \geq 3t_{\text{зат.сер.}}$, значенням $F_p = 1/6t_{\text{зат.сер.}}$.

Інший варіант схеми двотактного RS - тригера з забороненими зв'язками на елементах І-НЕ зображений на рис. 28.8. Особливість цієї схеми у тому, що під час дії ТІ одночасно із записом вхідної інформації в основний тригер з його елементів $DD1$ і $DD2$ поступають заборонні сигнали на елементи $DD3$ і $DD4$ допоміжного тригера, який блокує перезапис інформації з основного тригера в допоміжний. Після припинення дії тактового імпульсу ця блокування знімається і відбувається запис стану основного тригера в допоміжний. Схему такого тригера на елементах АБО-НЕ будують аналогічно, але керується вона тактовим імпульсом логічного «0».

Для роботи схеми у режимі T - тригера необхідно подати сигнали з виходів Q_s і $\bar{Q}_s$ на відповідні інформаційні R і S входи. Для

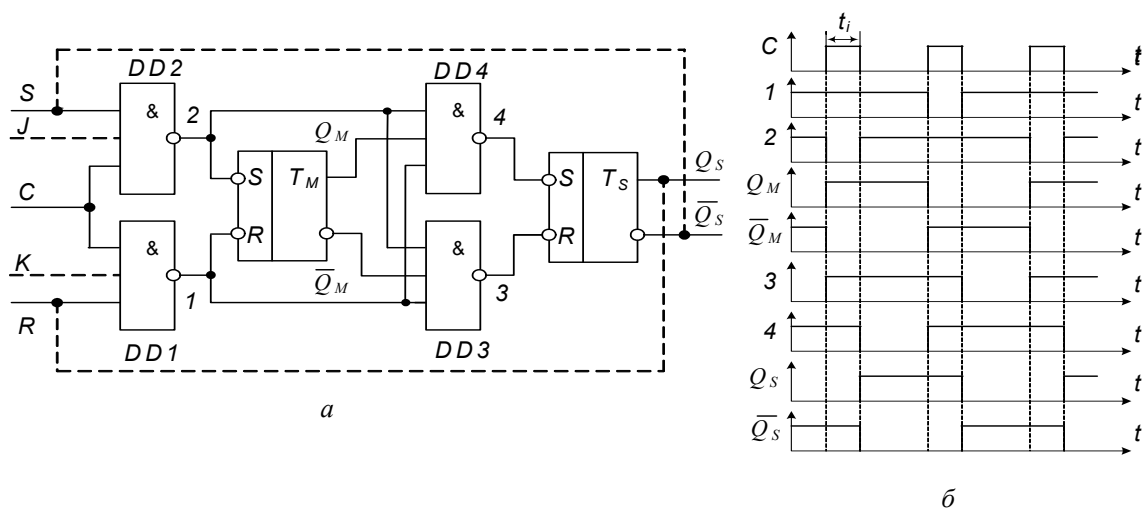


Рис. 28.8

асинхронного встановлення двоступеневих RS - тригерів використовуються входи $\bar{S}$ і $\bar{R}$ основного тригера, керовані рівнями

«0» для схеми на елементах І-НЕ і «1» - для схем на елементах АБО-НЕ.

Двоступеневі JK-тригери. Двоступеневі JK - тригери реалізуються на двоступеневих RS тригерах підключенням Q_s і $\overline{Q}_s$ до виходів R і S відповідно і додаванням двох входів J і K паралельно входам S і R (рис. 28.8). При $C=0$ схема знаходиться в стані Q незалежно від рівнів сигналів на входах J і K , тому що закриті $DD1$ і $DD2$. При $J=0$, $K=C=1$ тригер встановлюється в стан «0», а при $J=C=1$ і $K=0$ – в стан «1». При $J=K=C=1$ (тобто при об'єднанні J і K входів і подачі на них «1») отримаємо схему T - тригера.

Лабораторна робота № 29

ЛІЧИЛЬНИКИ

Мета роботи - дослідити схемні особливості і принцип роботи двійкових лічильників послідовного та паралельного типів, двійково-десятькового лічильника, лічильника з довільним коефіцієнтом лічби.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем СЧ, генератор прямокутних імпульсів Г5-54 та осцилограф СІ-55.

Зібрані досліджувані схеми (рис. 29.1) лічильників: послідовного типу - на мікросхемах $DD1$, $DD2$, паралельного типу – $DD3 \dots DD5$, двійково-десятькового – $DD11$, з довільним коефіцієнтом лічби - $DD6 \dots DD9$. Підключення до джерела живлення здійснюється за допомогою перемикачів: $S1$ - лічильника послідовного типу, $S2$ - паралельного типу, $S3$ - з довільним коефіцієнтом лічби, $S4$ – двійково-десятькового. Перемикачами $S7(2^\circ)$, $S8(2^1)$, $S9(2^2)$ встановлюється двійковий код N для завдання необхідного коефіцієнта лічби $K_{лч}=N+1$. Перемикач $S6$ забезпечує початкове встановлення двійково-десятькового лічильника в стан N , обумовлений положенням перемикачів $S7$, $S8$, $S9$, для реалізації лічильника з коефіцієнтом лічби $K_{лч}=10-N$.

Робоче завдання

1. Вказівка. Встановити на генераторі Г5-54 частоту надходження імпульсів $f=100$ кГц, основний імпульс ОІ позитивної полярності з амплітудою не більше 5 В і тривалістю 1 мкс і подати на роз'єм $XW2$. Використати зовнішню синхронізацію осцилографа сигналами: $XS4$ - для лічильника послідовного типу, $XS8$ - паралельного типу, $XS11$ - з довільним коефіцієнтом лічби, $XS17$ - двійково-десятькового лічильника.

2. Дослідити двійковий лічильник послідовного типу. Зняти і побудувати часові діаграми ($XS1, \dots, XS4$) роботи лічильника. Визначити час встановлення коду лічильника $t_{вст}$.

3. Дослідити двійковий лічильник паралельного типу, зняти і побудувати часові діаграми ($XS1, XS5, \dots, XS6$) роботи лічильника. Визначити $t_{вст}$.

4. Дослідити лічильник з довільним коефіцієнтом лічби. Зняти і побудувати часові діаграми ($XS1, XS9, \dots, XS12$) для $0 < N < 7$.

5. Дослідити двійково-десятьковий лічильник. Зняти і побудувати часові діаграми ($XS1, XS13, \dots, XS18$) для $N=0$ і $0 < N < 10$.

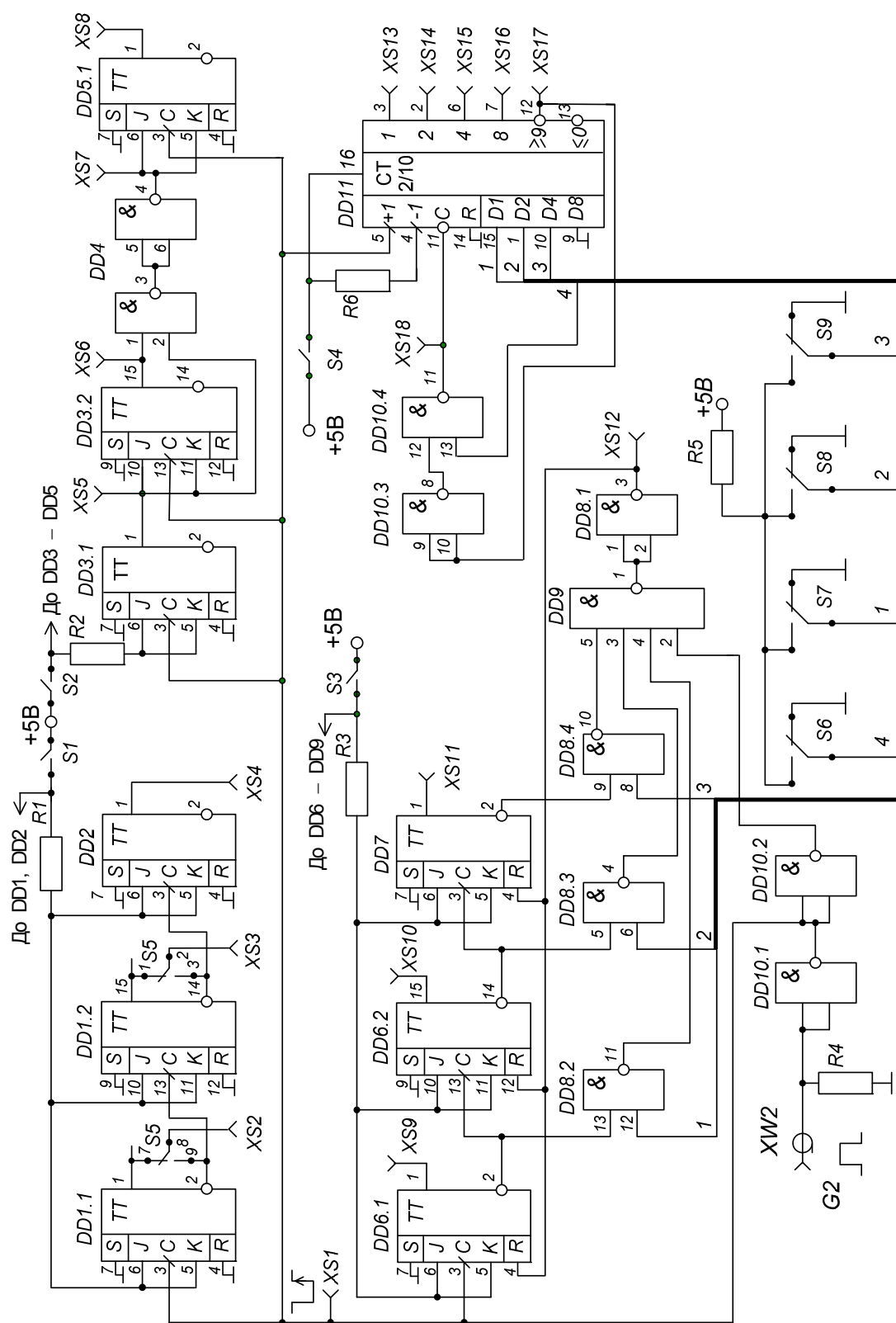


Рис. 29.1

Контрольні запитання

1. Наведіть області застосування лічильників.
2. Сформулюйте ознаки класифікації лічильників.
3. Назвіть основні параметри лічильників і дайте їх визначення.
4. Поясніть роботу двійкового додавального лічильника послідовного типу.
5. Поясніть роботу двійкового додавального лічильника паралельного типу.
6. За якими правилами організуються зв'язки між тригерами додавального і віднімального лічильників?
7. Поясніть способи побудови лічильників з довільним модулем лічби.

Методичні вказівки

Лічильники це пристрої, сигнали на виході яких у відповідному коді відображають число імпульсів, поданих на вхід.

Лічильник являє собою ланцюг з'єднаних між собою T -тригерів, кожен з яких є розрядом лічильника. Лічильник, утворений ланцюгом із m тригерів, може полічити за один цикл у двійковому коді 2^m імпульсів. Це число називають коефіцієнтом (модулем) лічби $K_{лч}$, який визначає цикл роботи лічильника, після якого його стан повторюється. Тому число вхідних імпульсів і стан лічильника (записане в нього число) однозначно визначені тільки для першого циклу.

Лічильники можуть працювати у трьох режимах: керування, накопичення і ділення. У режимі керування зчитування інформації виконується після кожного вхідного лічильного імпульсу. У режимі накопичення виконується підрахунок числа імпульсів протягом певного часу. У режимі ділення (перерахунку) частота імпульсів на виході останнього розряду лічильника в $K_{лч}$ разів менше, ніж частота імпульсів, що поступають на його вхід.

Лічильники класифікують за такими ознаками:

- за коефіцієнтом лічби: двійкові ($K_{лч}=2^m$), двійково-десяткові ($K_{лч}=10$), з довільним коефіцієнтом лічби ($K_{лч}\neq 2^m$);
- за напрямком лічби: додавальні, віднімальні і реверсивні;
- за способом організації міжрозрядних зв'язків: послідовні (асинхронні), паралельні (синхронні) і комбіновані.

Лічильники характеризуються такими основними параметрами:

- швидкодіїєю, яка визначається максимальною частотою вхідних імпульсів $f_{лч}$;
- часом встановлення коду $t_{вст}$, який відраховується від початку вхідного імпульсу до моменту отримання нового стану лічильника.

- часом встановлення коду $t_{\text{вст}}$, який відраховується від початку вхідного імпульсу до моменту отримання нового стану лічильника.
- коефіцієнтом лічби (перерахування) $K_{\text{лч}}$;

Послідовні лічильники характеризуються тим, що керуючими

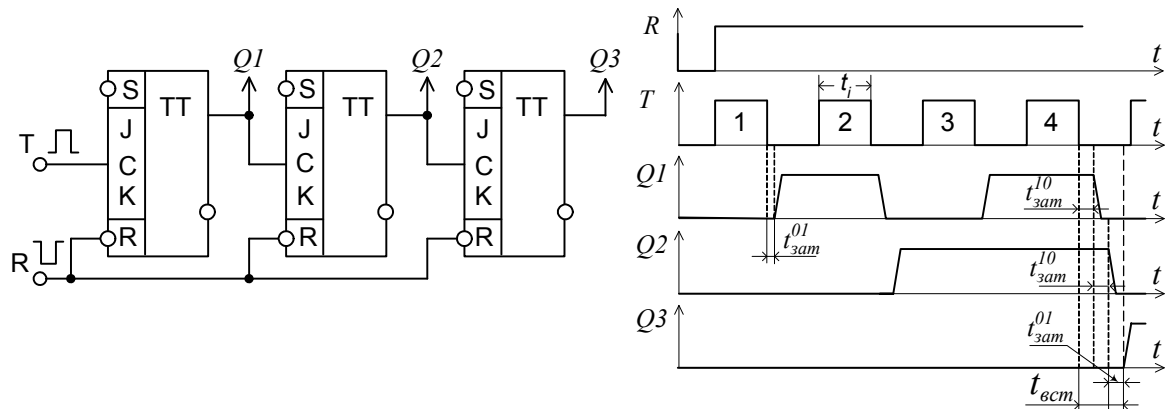


Рис. 29.2

сигналами для старших розрядів служать сигнали, що знімають з інформаційних виходів молодших розрядів, а рахункові імпульси надходять на вхід першого розряду (рис. 29.2). Для таких двійкових лічильників максимальна частота надходження лічильних імпульсів

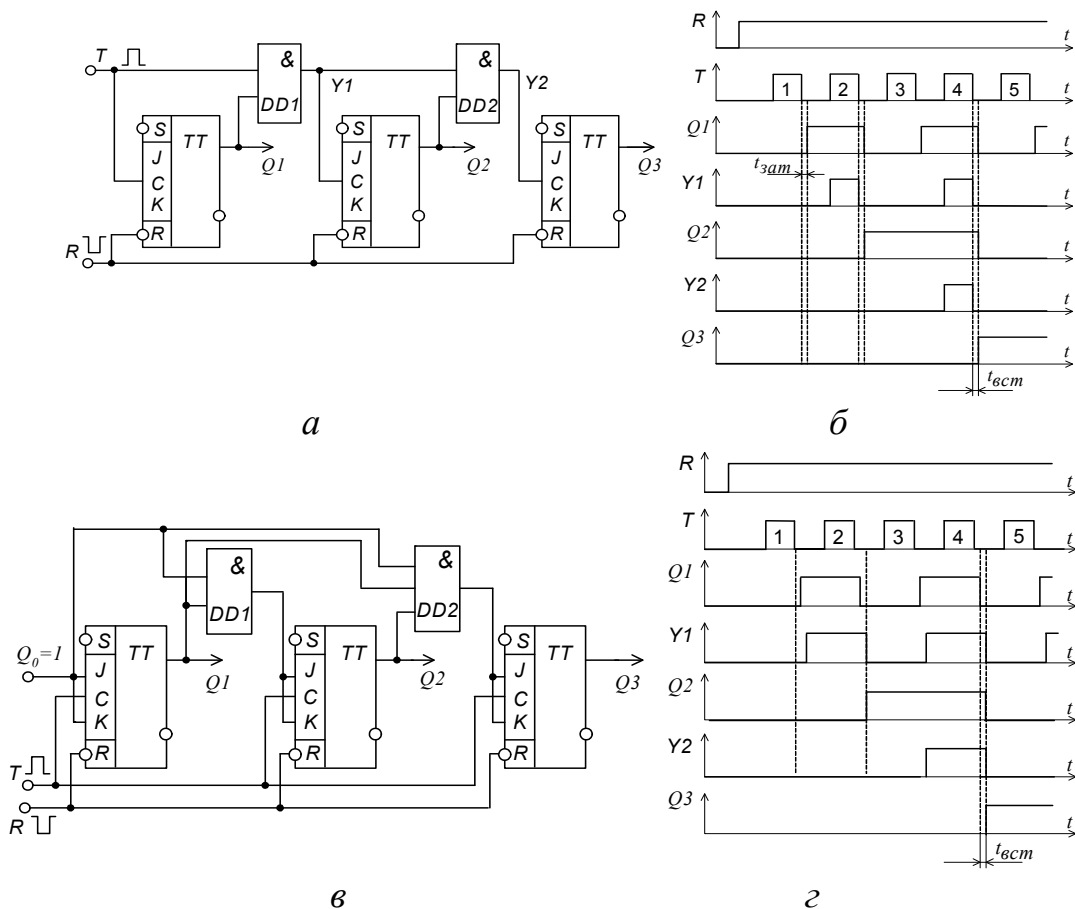
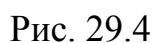


Рис. 29.3

В паралельних лічильниках (рис. 29.3) лічильні імпульси подаються на входи всіх розрядів одночасно, а стан n -го розряду змінюється тільки при певному стані попередніх розрядів. Для цього типу лічильників максимальна частота проходження $f_{\text{лч}} = 1/(t_i + t_{\text{вст}})$, де $t_{\text{вст}} = t_{\text{зат ср}}$. Перевага паралельних лічильників - висока швидкодія, тому що $t_{\text{вст}}$ не залежить від числа розрядів; недолік - необхідність додаткових схем збігу, число входів яких дорівнює n (де n - порядковий номер розряду лічильника), і нерівномірне навантаження на виходи тригерів.



Реверсивні лічильники (рис. 29.5) дозволяють виконувати операції підсумовування і вирахування імпульсів. Залежно від сигналу керування V лічильні входи наступних тригерів з'єднуються або із прямими, або з інверсними інформаційними виходами попередніх. В режимі додавання ($+V=1$; $-V=0$) відкриваються елементи $DD1$ і $DD2$ і з надходженням кожного лічильного імпульсу показання лічильника буде збільшуватися на одиницю. В режимі віднімання ($+V=0$, $-V=1$) відкриваються елементи $DD2$ і $DD5$ і при надходженні кожного лічильного імпульсу стан лічильника буде зменшуватися на одиницю.

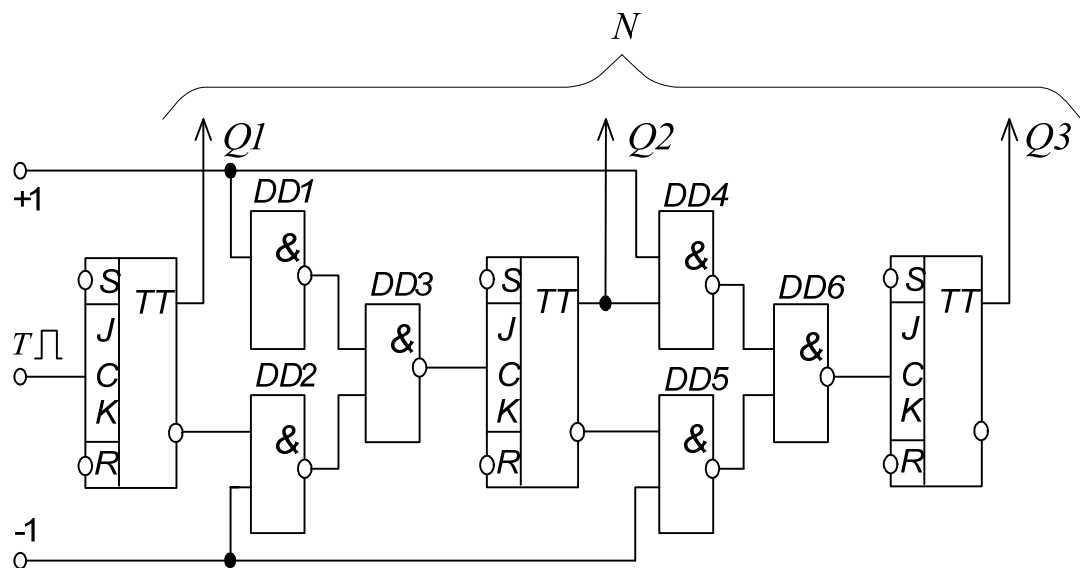
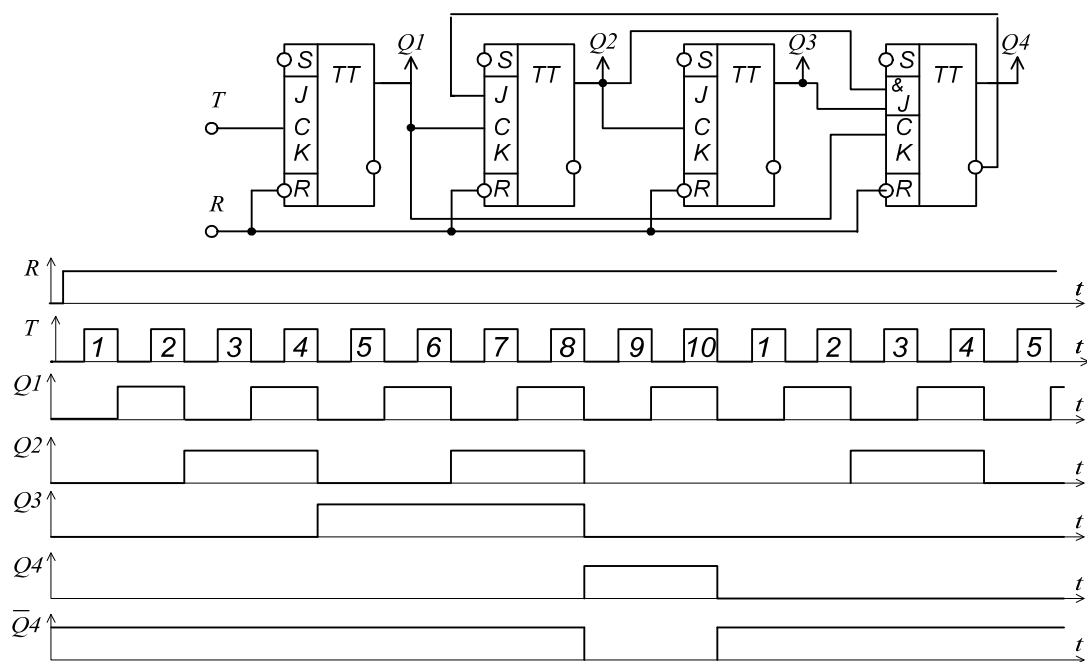
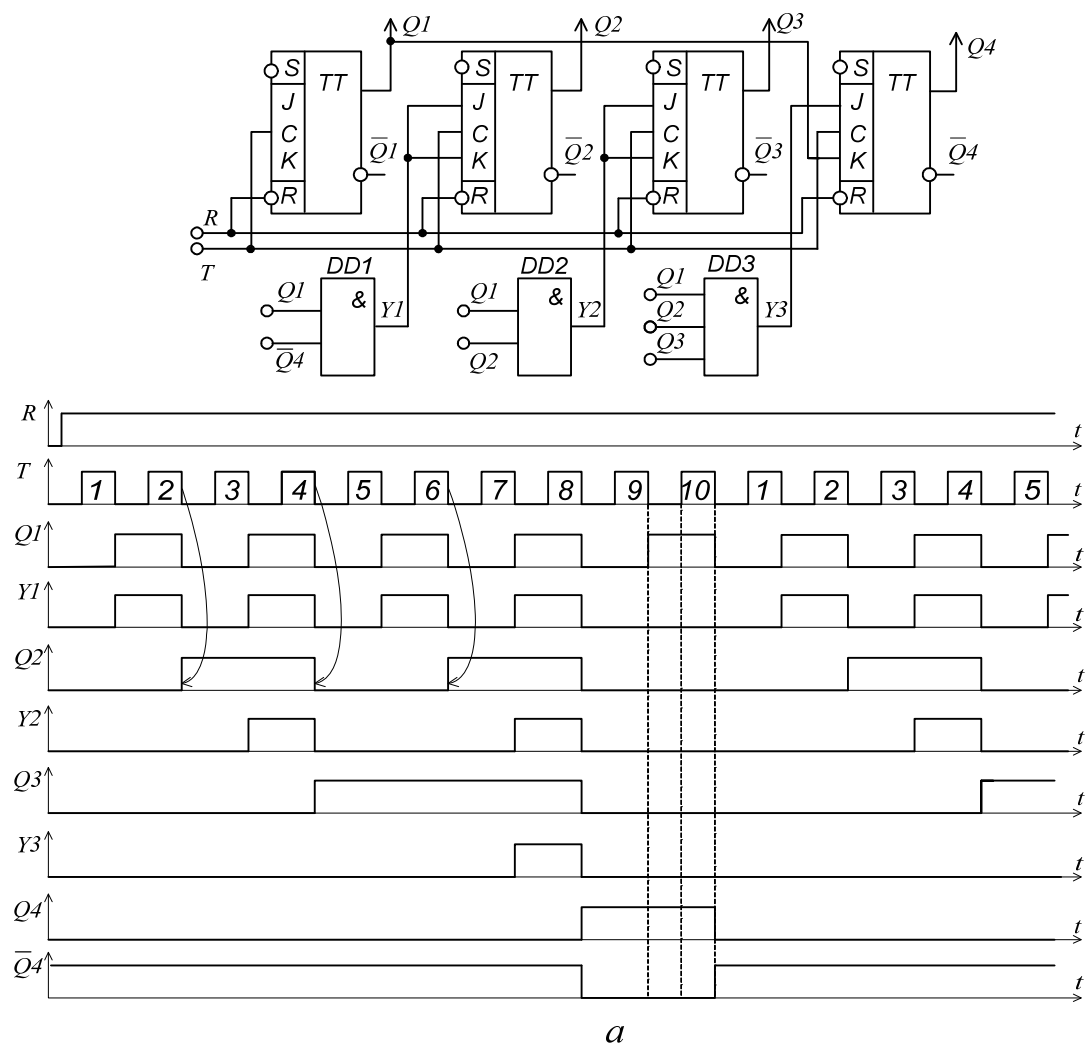


Рис. 29.5

Лічильники з довільним коефіцієнтом лічби $K_{лч} \neq 2^n$ виконуються на основі двійкових лічильників. Принцип роботи таких лічильників полягає у виключенні “зайвих” стійких M станів у двійкового лічильника з $K_{лч}=2^n$, при цьому число заборонених станів $M=2^n-K_{лч}$.

Лічильники з довільним коефіцієнтом лічби за способом побудови діляться на лічильники з природним і довільним порядком лічби. В лічильниках з природним порядком лічби підрахунок починається з “0” і закінчується числом $K_{лч}-1$, потрібний коефіцієнт лічби забезпечується схемним блокуванням переносу (примусовим переводом лічильника в нульовий стан).

На рис. 29.6 показана схема лічильника з природним порядком лічби і регульованим коефіцієнтом перерахування; на рис. 29,7, а – двійково-десятькового паралельного лічильника на JK -тригерах; на рис, 29.7, б – двійково-десятькового послідовного лічильника.



б
Рис. 29.7

У серію мікросхем К155 входять реверсивні лічильники: К155ІЕ6 - двійково-десятковий (рис. 29.8, а), К155ІЕ7 – двійковий (рис. 29.8, б).

Послідовність входних (тактових) імпульсів подається на один із входів +1 (в режимі додавання) чи -1 (в режимі віднімання).

Входи D1, D2, D4, D8 призначені для введення в лічильник початкового двійкового числа, з котрим підсумовуються (в режимі додавання) чи від якого віднімаються (в режимі віднімання) входні імпульси. Запис початкового числа відбувається сигналом логічного "0" на вході C. Вхід R є пріоритетним і призначений для встановлення нуля на усіх виходах лічильника (1, 2, 4, 8) в разі подачі на нього логічної "1".

Перемикання тригерів лічильника відбувається по фронту 0/1 тактових імпульсів. Вихід перенесення ≥ 9 (≥ 15) і вихід запозичення ≤ 0 використовуються в разі каскадування лічильників, при використанні лічильника в якості дільника а також при циклічному запису інформації в лічильник зі входів D1, D2, D4, D8 (для цього потрібно з'єднати вхід C з

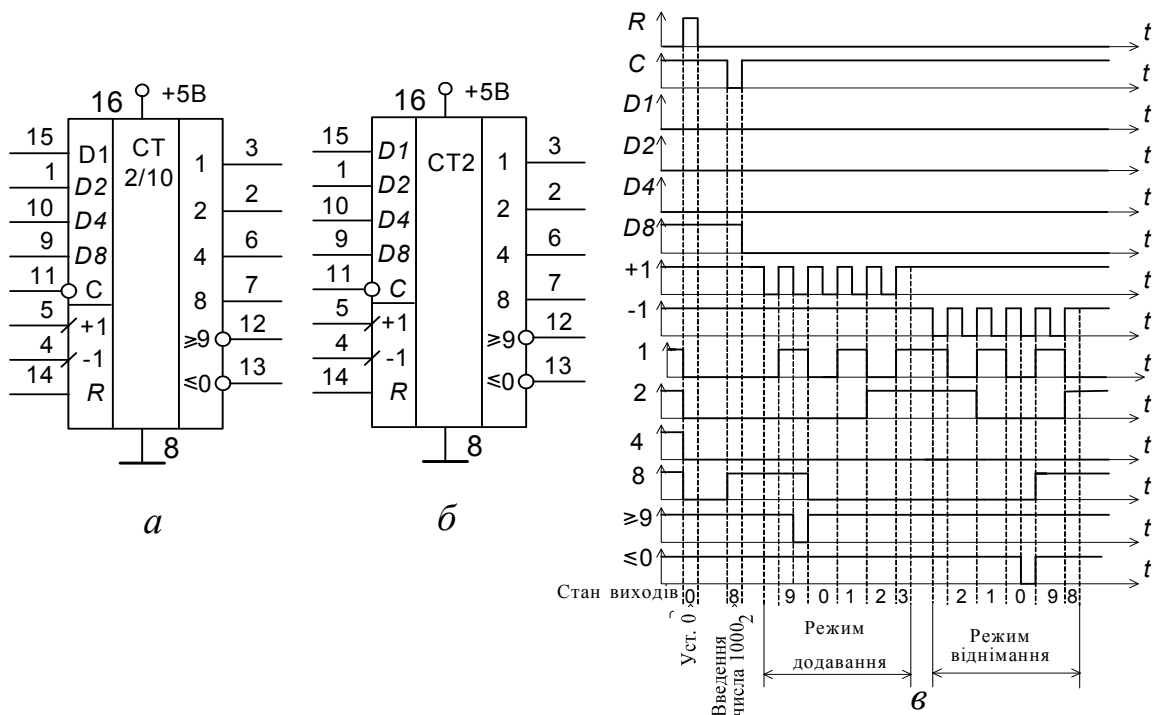


Рис. 29.8

виходом займу чи перенесення). На виході ≥ 9 (≥ 15) з'являється сигнал логічного "0" одночасно з надходженням кожного 10-го (16-го для 155ІЕ7) при роботі лічильника в режимі додавання, а на виході ≤ 0 - в режимі віднімання. Одночасно можна задіяти тільки один тактовий вхід, на інший необхідно подати напругу високого логічного рівня.

Лабораторна робота № 30

РЕГІСТРИ

Мета роботи - дослідити принципи роботи регістрів паралельного, послідовного типів і зі зворотними зв'язками.

Опис досліджуваної схеми

До лабораторної установки входять універсальний лабораторний стенд зі змінним модулем РГ, генератор прямокутних імпульсів Г5-54 і осцилограф СІ-55.

Досліджувані схеми (рис. 30.1) регістрів зібрані: паралельно-

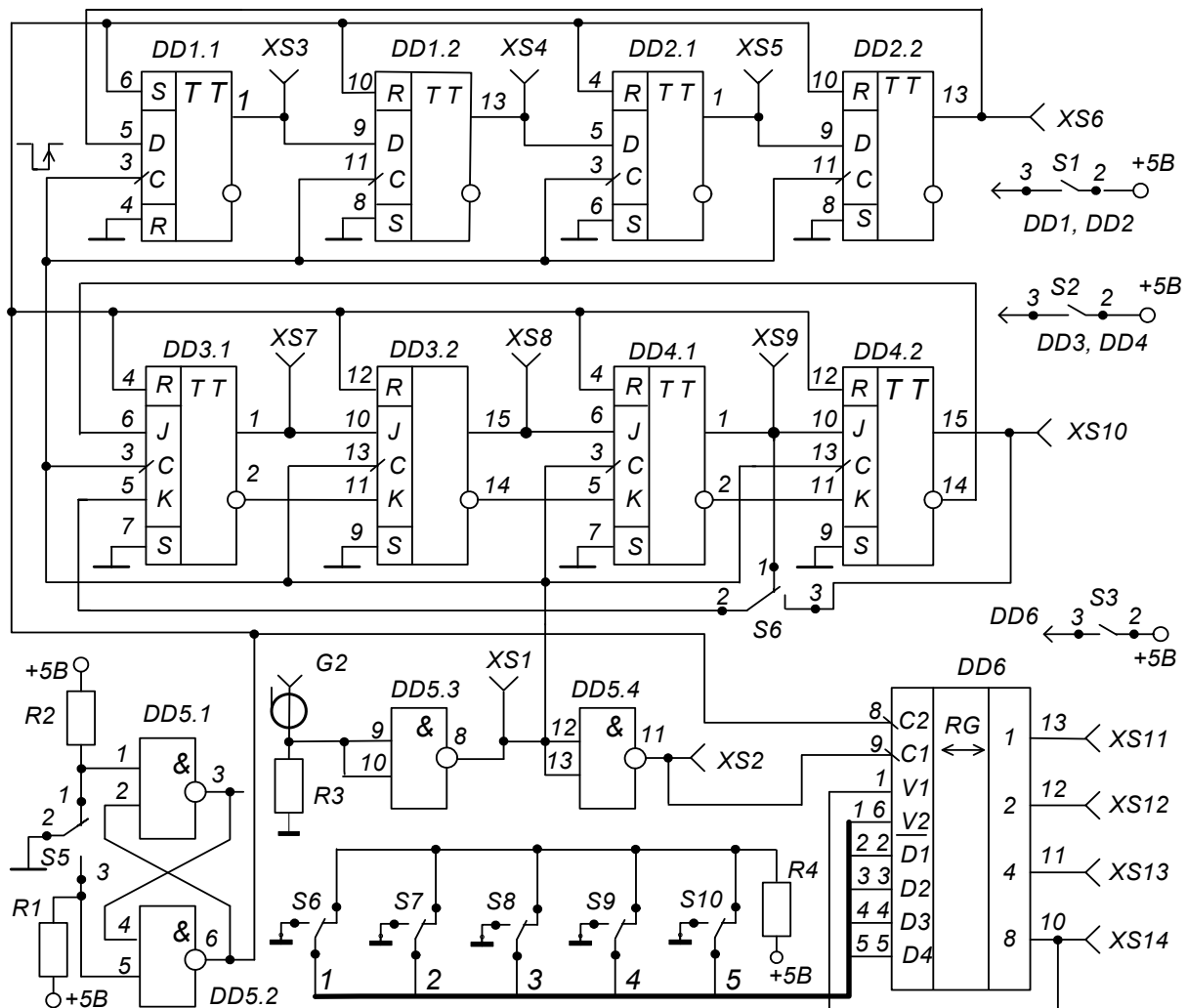


Рис. 30.1

послідовного типу - на мікросхемі DD6; зі зворотними зв'язками на D-

тригерах - на мікросхемах *DD1* і *DD2*; з перехресними зворотними зв'язками на *JK* - тригерах - на мікросхемах *DD3* і *DD4*. Підключення до джерела живлення здійснюється за допомогою перемикачів: *S1* - регістра зі зворотними зв'язками; *S2* - регістри з перехресними зворотними зв'язками; *S3* - паралельно-послідовного регістра. Перемикачем *S5* (нажати – віджати) регістр з перехресними зворотними зв'язками встановлюється у стан 0000, регістр зі зворотними зв'язками - у стан 1000 і паралельно-послідовний регістр – у стан, обумовлений положенням перемикачів *S7...S10* (в разі подачі логічної “1” на вхід *V2* мікросхеми *DD6* за допомогою перемикача *S6*).

Робоче завдання

1. Вказівка. Установити на генераторі Г5-54 частоту надходження імпульсів $f = 100$ кГц, основний імпульс (ОІ) позитивної полярності з амплітудою не більше 5 В, тривалістю 1 мкс і подати на роз'єм *G2*. Використати зовнішню синхронізацію осцилографа сигналами: *XS6*- для регістра зі зворотними зв'язками на *D*- тригерах; *XS10* для регістра з перехресними зворотними зв'язками на *JK*-тригерах; *XS14*- для паралельно-послідовного регістра.

2. Дослідити регістр зі зворотними зв'язками на *D*- тригерах. Встановити перемикачем *S5* (нажати – віджати) регістр у стан $XS3=1$, $XS4=0$, $XS5=0$, $XS6=0$. Зняти і побудувати часові діаграми (*XS1*, *XS3...XS6*) роботи регістра. Визначити коефіцієнт перерахування.

3. Дослідити регістр із перехресними зворотними зв'язками на *JK*-тригерах. Встановити перемикачем *S5* (нажати – віджати) регістр у стан $XS7=0$, $XS8 = 0$, $XS9=0$, $XS10=0$. Зняти і побудувати часові діаграми (*XS1*, *XS7...XS10*) роботи регістра для парного (*S6* - нажати) і непарного (*S6* - віджати) коефіцієнтів перерахування. Визначити по часових діаграмах коефіцієнт перерахування.

4. Дослідити регістр послідовно-паралельного типу. Генератор Г5-54 встановити в режим разового пуску. При $S6=1$ перемикачем *S5* (нажати–віджати) записати в регістр код, визначений положенням перемикачів *S7 ... S10* (наприклад $S7=1$, $S8=0$, $S9=0$, $S10=1$). Перевірити на *XS11...XS14* записаний код. Встановити $V2=0$ (нажати *S6*) і генератор Г5-54 у режим внутрішнього запуску. Зняти й побудувати часові діаграми (*XS2*, *XS11*, ..., *XS14*) роботи регістра.

Контрольні запитання

1. Для чого призначені регістри?
2. За якими ознаками класифікують регістри?
3. Пояснити роботу регістрів паралельного, послідовного і

паралельно-последовного типів.

4. Пояснити роботу регістрів зі зворотними зв'язками, з перехресними зворотними зв'язками.

Методичні вказівки

Регістри - це пристрої, призначені для приймання, зберігання, зсуву і видачі інформації представлені в двійковому коді. Вони використовуються в якості керуючих і запам'ятовуючих пристроїв, генераторів, перетворювачів паралельних кодів в послідовні і навпаки, лічильників, дільників частоти, вузлів часової затримки. До складу регістрів входять тригери і логічні схеми, призначені для керування прийомом і видачею коду. Залежно від способу введення й виведення інформації розрізняють паралельні, послідовні та паралельно-последовні регістри.

У регістрах паралельної дії (регістрах пам'яті) усі розряди коду вводяться і виводяться одночасно. Такі регістри представляють собою набір синхронних тригерів, кожен з яких зберігає один розряд двійкового числа, і додаткових схем логічного множення (І) (рис.

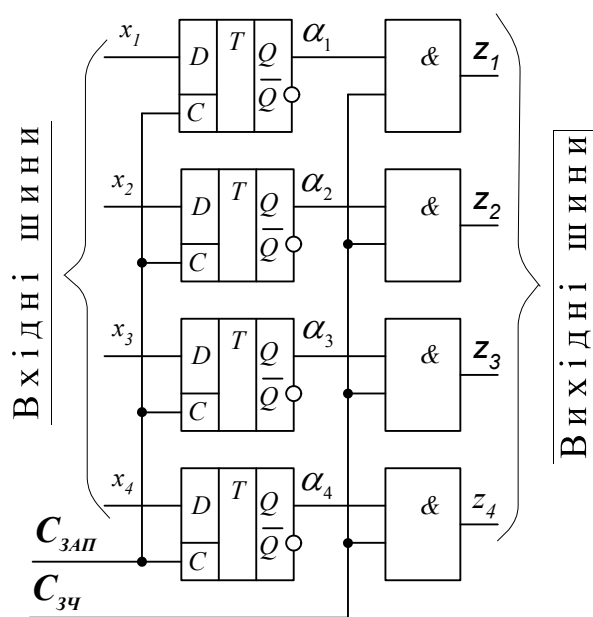


Рис. 30.2. Паралельний регістр

30.2). При побудові n - розрядного паралельного регістра необхідно застосовувати n тригерів і таку ж кількість схем І. Регістр може працювати в режимах запису, зберігання і зчитування інформації. Для запису інформації необхідно на входи управління подати такі сигнали: $C_{\text{зап}}=1$, $C_{\text{зч}}=0$. У даному разі інформація по входах $x_1, \dots, x_4$ запишеться у відповідні розряди D- тригерів: $a_i=x_i$, а $z_i=C_{\text{зч}}x_i=0$. Записана інформація буде зберігатися в регістрі в разі $C_{\text{зап}}=C_{\text{зч}}=0$: $a_{i(n-1)}=a_{in}$, $z_i=0$.

Якщо $C_{\text{зап}}=0$, $C_{\text{зч}}=1$, то відбувається паралельне зчитування інформації, тобто $z_i=a_i$. При цьому інформація записана в регістр зберігається. На базі паралельних регістрів будуються системи оперативної пам'яті.

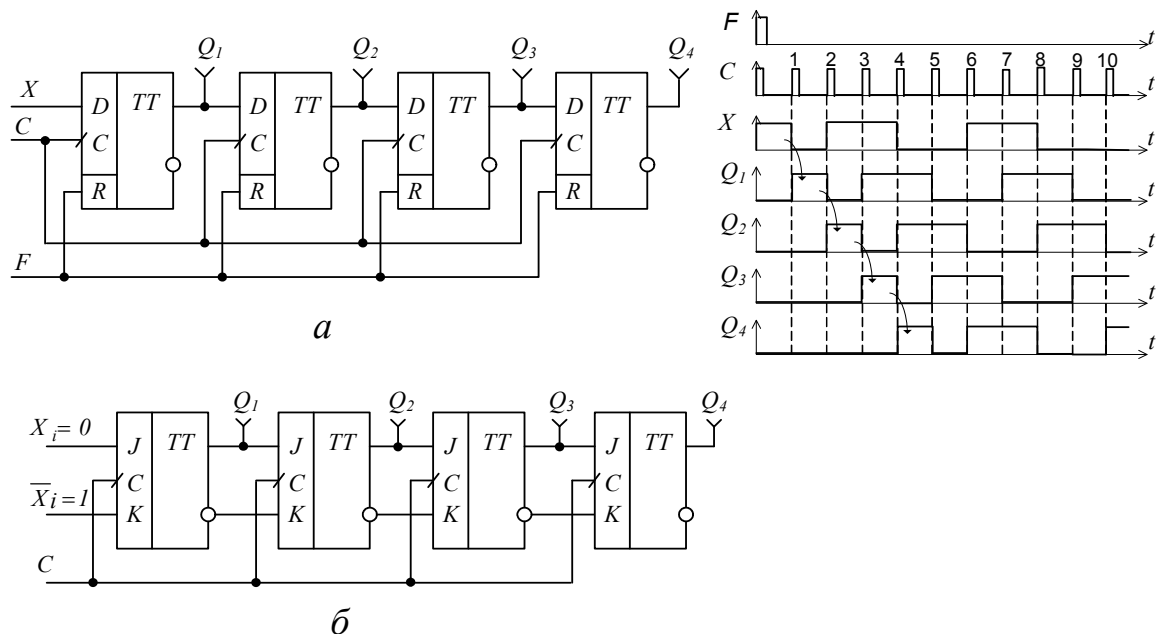
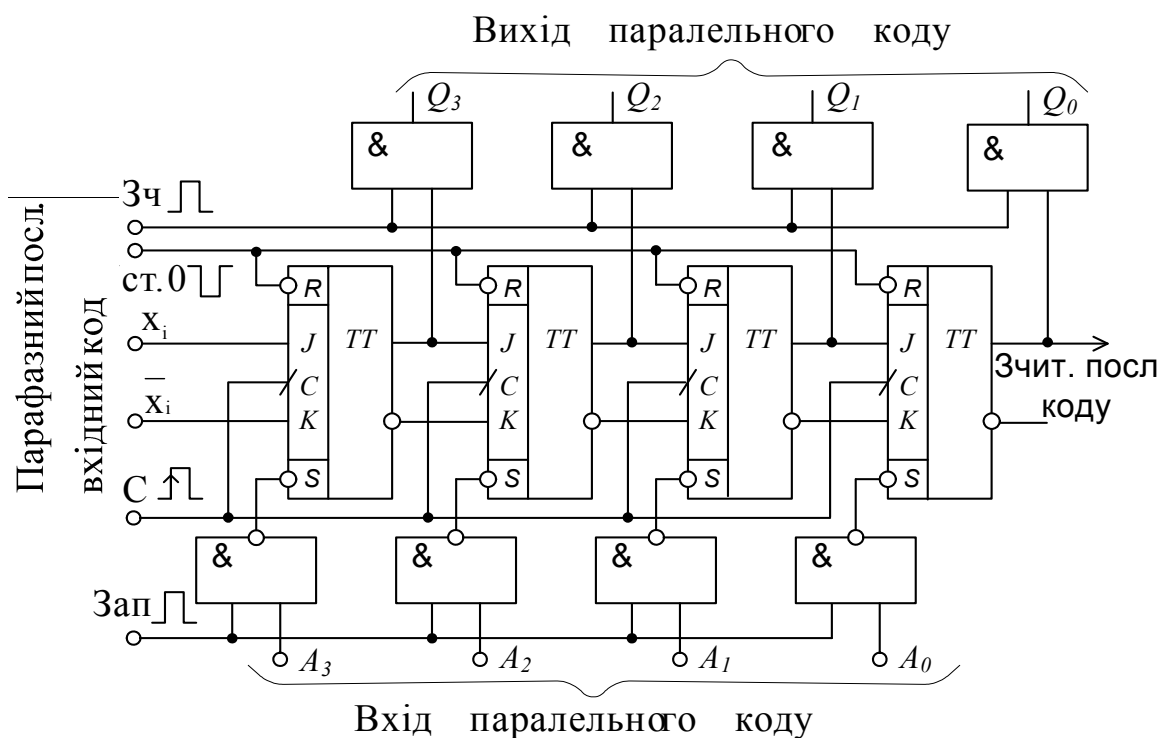


Рис. 30.3

Послідовний (або зсувний) регістр забезпечує послідовний запис коду числа: на інформаційний вхід регістра послідовно подаються значення двійкових розрядів числа. Зсувні імпульси, що надходять на тактові входи, передають (зсувають) записану інформацію від розряду до розряду вправо або вліво. В однотактних зсувних регістрах в разі надходження одного тактового імпульсу відбувається одночасний зсув всього числа на один розряд вправо або вліво. Залежно від кількості каналів, по яких надходить інформація на входи розрядів регістра, розрізняють регістри двофазні (інформація на кожен розряд надходить по двох каналах: Q і $\bar{Q}$) та однофазні (інформація надходить по одному каналу - Q або $\bar{Q}_n$). При побудові зсувних регістрів використовують синхронні RS -, D - і JK - тригери. Найбільш просто регістр зсуву реалізується на D - тригерах (рис. 30.3, а). Вихід Q попереднього розряду (тригера) з'єднується зі входом D наступного, в результаті чого кожний тактовий імпульс встановлює тригер у стан, в якому до цього перебував попередній, зсуваючи тим самим інформацію на один розряд вправо.

Вхід X першого розряду служить для приймання до регістру інформації у вигляді послідовного коду. З кожним тактовим імпульсом (ТІ), що надходить на вхід C , на вхід X повинен подаватися код нового розряду вхідної інформації. З виходу Q_3 останнього тригера знімається послідовний код із затримкою щодо вхідного послідовного коду на число періодів ТІ, рівне числу розрядів регістра. На рис. 30.3, б зображена

Зсувні регістри застосовуються для перетворення паралельного коду в послідовний і навпаки. Для цього кожен розряд регістра повинен мати додатковий вхід для паралельного прийому коду. Послідовний код перетвориться в паралельний одночасним опитуванням станів усіх тригерів регістра (рис. 30.4).



Зсувні регістри можуть бути реверсивними, тобто виконувати зсув як вправо так і вліво. Напрямок зсуву визначається значенням керуючого сигналу V . Реверсивний регістр можна одержати, якщо в схемі послідовно-паралельного регістра (рис. 30.5) замість зовнішнього сигналу i -го входу A_i підключити інверсний вихід наступного $(i+1)$ -го розряду (як показано пунктиром для $m-2$ розряду). Зсув вправо

протягом усього часу існування послідовності тактових імпульсів, що подаються на входи С усіх тригерів лічильника. На виході кожного тригера імпульси з тривалістю, що дорівнює періоду тактових імпульсів $T_{\text{вх}}$, будуть з'являтися з періодом $T_{\text{вих}} = nT_{\text{вх}}$. Ця властивість кільцевого регістра використовується при побудові розподільників імпульсів та дільників частоти. При використанні кільцевого регістра в якості дільника, необхідно знімати сигнал з виходу будь-якого одного тригера. Коефіцієнти ділення дорівнюють кількості розрядів (тригерів) регістра, тобто $K_{\text{діл}} = n$. Недоліком дільників на кільцевих регістрах є потреба великої кількості тригерів при великих коефіцієнтах ділення. Усувається цей недолік у регістрах з перехресними зворотними зв'язками (лічильниках Джонсона).

Лічильник Джонсона (рис. 30.7, а) має коефіцієнт ділення вдвічі

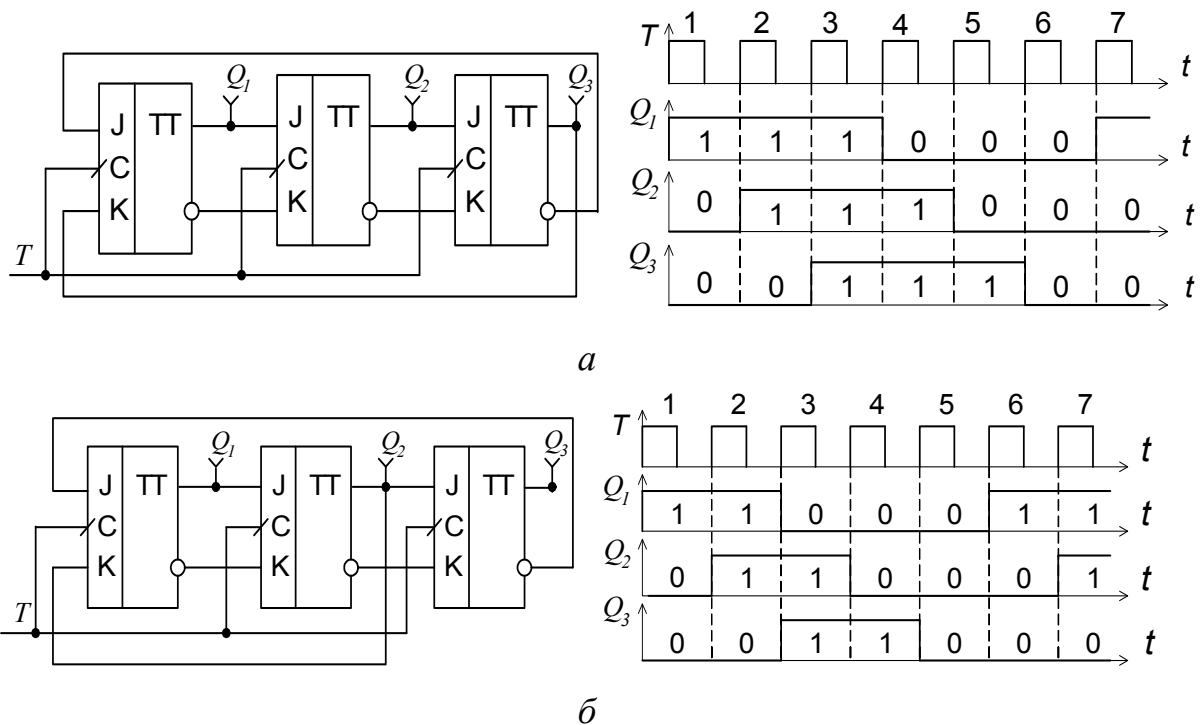


Рис. 30.7

більший числа тригерів, що його складають. Особливість його роботи полягає в тому, що при ліченні спочатку від першого тригера до останнього поширюється "хвиля 1", а потім "хвиля 0". Якщо потрібен непарний коефіцієнт лічби $K_{\text{лч}} = 2n - 1$, то вхід J першого тригера з'єднується з інверсним виходом останнього тригера, а вхід K першого тригера - з прямим виходом Q_{n-1} передостаннього тригера. У кільцевих лічильниках можливі збої у вигляді появи зайвих одиниць (уявних "хвиль 1" чи "хвиль 0") або зникнення потрібних кодових одиниць. Для усунення збоїв вводиться логічний ланцюг у кільцевий

лічильник, що дозволяє перепис "1" з останнього тригера в перший тільки за умови, що усі інші тригери перебувають у стані "0".

Регістри серії KI55. У серію KI55 входить мікросхема K155IP1- 4-х розрядний універсальний зсувний регістр (рис. 30.8, *a*), що має два входи синхронізації: *C1* (тактові імпульси на вході *C1* забезпечують зсув інформації, при цьому на вхід *V2* треба подати логічний "0") і *C2* (синхроімпульс, що надходить на *C2*, записує в розряди регістра логічні значення, які подані в цей момент на входи *D1*, *D2*, *D3*, *D4*, при цьому на вхід *V2* треба подати логічну "1").

Вхід *V1* служить для введення інформації до першого розряду регістра в режимі зсуву вправо. Стан тригерів регістра змінюється при дії негативного фронту 1/0 тактових імпульсів. Принцип роботи зсувного регістра K155IP1 зображений на рис. 30,8, *б* у режимі запису паралельного коду 1101 і зсуву вправо. При використанні регістра K155IP1 (рис. 30.8) у режимі зсуву вліво необхідно попарно з'єднати виводи 2 і 12, 3 і 11, 4 і 10. Послідовний код варто подавати на вивід 5 (*D4*),

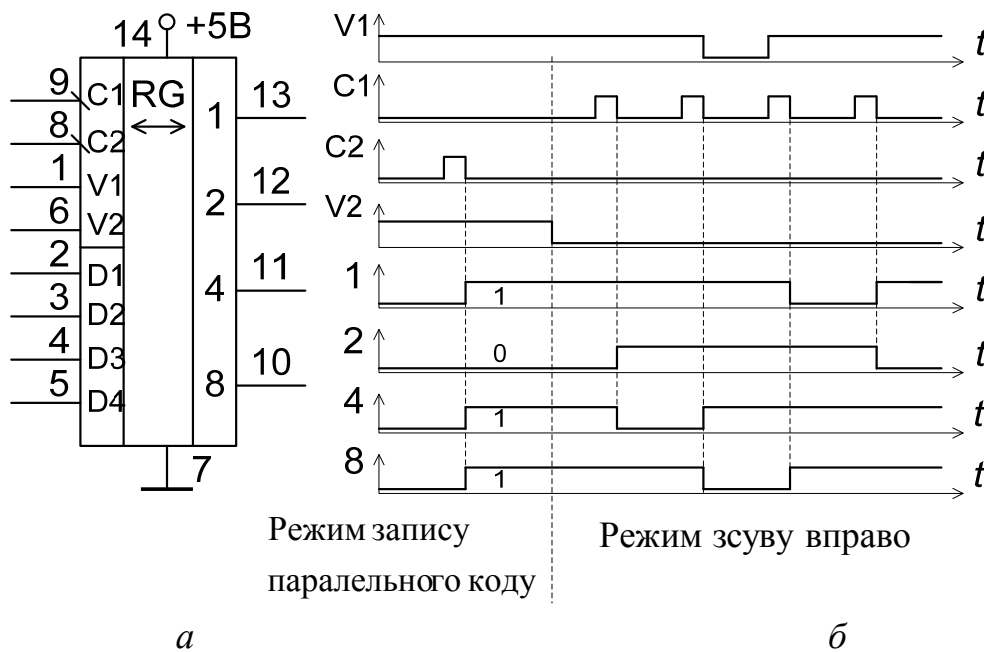


Рис. 30.8

а на вхід *V2*- логічну "1". При цьому тактові імпульси на вході *C2* будуть зсувати інформацію вліво. Регістр K155IP1 можна використати в багаторозрядних лічильних пристроях і в дільниках з коефіцієнтом лічби від 2 до 8.

СПИСОК ЛІТЕРАТУРИ

1. Схемотехніка електронних систем: У 3-х кн. Кн. 2. Цифрова схемотехніка: Підручник /Бойко В. І., Гуржій А. М., Жуйков В. Я. та ін. – 2-ге вид., допов. і переробл. – К.: Вища шк., 2004. – 423с.: іл.
2. Руденко В.С., Сенько В.И., Трифонов В.В. Основы промышленной электроники. - К.: Вища шк. 1985.
3. Горбачев Г.Н., Чаплыгин Е.Е. Промышленная электроника. -М: Энергоатомиздат, 1988.
4. Забродин Ю.С. Промышленная электроника. -М.: ВШ, 1982.
5. Гусев В.Г., Гусев Ю.М. Электроника. -М.: ВШ, 1982.
6. Скаржепа В.А., Луценко А.Н. Электроника и микросхемотехника. 4.1. Электронные устройства информационной автоматики. —К.: Вища шк., 1989.
7. Ерофеев Ю.Н. Импульсные устройства. -М: ВШ, 1989.
8. Опадчий Ю.Ф., Глудкин О.П., Гуров А.И. Аналоговая и цифровая электроника. -М.: Горячая Линия - Телеком, 2000.
9. Манаев Е.И. Основы радиоэлектроники. 2-е изд.—М.: Радио и связь, 1985
10. Методические указания к выполнению лабораторного практикума по курсу «Энергетическая электроника» для студентов факультета «Электроэнерготехники и автоматики». Раздел «Цифровые устройства системы». Ч.1. /Сост. В.И. Сенько, Н.П. Макаренко, К.К. Победаш, В.С. Смирнов. - К.: КПИ, 1989.
11. Методические указания к выполнению лабораторного практикума по курсу «Энергетическая электроника». Раздел «Цифровые устройства и системы». Ч.2. /Сост. В.И. Сенько, Н.П. Макаренко, К.К. Победаш, В.С. Смирнов. - К.: КПИ, 1990.
12. Методические указания к выполнению лабораторного практикума по курсу «Энергетическая электроника». Раздел «Цифровые устройства и системы». Ч.3. /Сост. В.И. Сенько, Н.П. Макаренко, К.К. Победаш, В.С. Смирнов. - К.: КПИ, 1990.

ЗМІСТ

Лабораторна робота № 21.....	5
Лабораторна робота № 22.....	24
Лабораторна робота № 27.....	32
Лабораторна робота № 28.....	38
Лабораторна робота № 29.....	50
Лабораторна робота № 30.....	59
СПИСОК ЛІТЕРАТУРИ.....	67